



REC'D 02 AUG 2004

WIPO

PCT

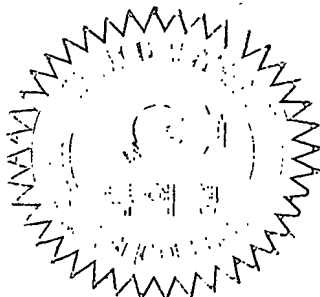
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0052562
Application Number

출원 년 월 일 : 2003년 07월 30일
Date of Application JUL 30, 2003

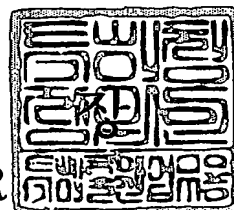
출원인 : 주식회사 이노칩테크놀로지 외 3명
Applicant(s) Innochips Technology, et al.



2004 년 07 월 15 일

특 허 청

COMMISSIONER



**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0068
【제출일자】	2003.07.30
【발명의 명칭】	복합 적층 칩 소자
【발명의 영문명칭】	Complex laminated chip element
【출원인】	
【명칭】	주식회사 이노칩테크놀로지
【출원인코드】	1-2000-024767-1
【출원인】	
【성명】	박인길
【출원인코드】	4-2003-015936-7
【출원인】	
【성명】	황순하
【출원인코드】	4-2003-029122-9
【출원인】	
【성명】	김덕희
【출원인코드】	4-2003-015938-0
【대리인】	
【성명】	남승희
【대리인코드】	9-2003-000036-2
【포괄위임등록번호】	2003-010231-2
【포괄위임등록번호】	2003-028584-6
【포괄위임등록번호】	2003-053044-1
【포괄위임등록번호】	2003-028576-2
【발명자】	
【성명】	박인길
【출원인코드】	4-2003-015936-7
【발명자】	
【성명】	황순하
【출원인코드】	4-2003-029122-9

【발명자】**【성명】**

김덕희

【출원인코드】

4-2003-015938-0

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 남승희 (인)

【수수료】**【기본출원료】**

20 면 29,000 원

【가산출원료】

55 면 55,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

50 항 1,709,000 원

【합계】

1,793,000 원

【감면사유】

중소기업

【감면후 수수료】

896,500 원

【첨부서류】

1. 요약서·명세서(도면)_1통 2. 중소기업기본법시행령 제2조에 의한 중소기업에 해당함을 증명하는 서류[사업자등록증 사본 1통, 원천징수이행상황신고서 사본 1통]_2통

【요약서】**【요약】**

본 발명은 적층 칩 소자에 관한 것으로, 고주파 특성이 우수하며, 목적에 따라 여러 가지 소자를 결합하여 원하는 전기적 특성을 갖도록 제작할 수 있는 적층 칩 소자에 관한 것이다. 전술된 본 발명의 목적을 달성하기 위한 적층 칩 소자는 양 대향 단부 측에 각각 이격된 제1 및 제2 도전체 패턴이 형성된 제1 시트와, 상기 양 대향 단부를 연결하는 방향에 교차하는 방향으로 제3 도전체 패턴이 양 대향 단부를 가로질러 형성된 제2 시트를 포함하고, 상기 제1 및 제2 도전체 패턴의 일 단부는 각각 제1 및 제2 외부 단자에 연결되고, 상기 제2 도전체 패턴의 적어도 일 단부는 제3 외부 단자에 연결되고, 상기 제1 시트 및 제2 시트는 적층된다.

【대표도】

도 1a

【색인어】

저항, 인덕터, 배리스터, 복합, 어레이, 칩, 적층

【명세서】**【발명의 명칭】**

복합 적층 칩 소자{Complex laminated chip element}

【도면의 간단한 설명】

도1a는 본 발명의 실시예 1에 따른 적층 칩 소자의 제조 공정도.

도1b는 본 발명의 실시예 1에 따른 적층 칩 소자의 단면도.

도1c는 본 발명의 실시예 1에 따른 적층 칩 소자의 등가 회로도.

도1d는 본 발명의 실시예 1에 따른 적층 칩 소자의 주파수 특성을 나타내는 그래프.

도2a는 본 발명의 실시예 2에 따른 적층 칩 소자의 제조 공정도.

도2b는 본 발명의 실시예 2에 따른 적층 칩 소자의 단면도.

도3은 본 발명의 실시예 3에 따른 적층 칩 소자의 제조 공정도.

도4a은 본 발명의 실시예 4에 따른 적층 칩 소자의 제조 공정도.

도4b는 본 발명의 실시예 4에 따른 적층 칩 소자의 단면도.

도5a은 본 발명의 실시예 5에 따른 적층 칩 소자의 제조 공정도.

도5b는 본 발명의 실시예 5에 따른 적층 칩 소자의 주파수 특성을 나타내는 그래프.

도6a는 본 발명의 실시예 6에 따른 적층 칩 소자의 제조 공정도.

도6b는 본 발명의 실시예 6에 따른 적층 칩 소자의 등가 회로도.

도7a는 본 발명의 실시예 7에 따른 적층 칩 소자의 제조 공정도.

도7b는 본 발명의 실시예 7에 따른 적층 칩 소자의 평면도.

도7c는 본 발명의 실시예 7에 따른 적층 칩 소자의 등가 회로도.

도7d는 본 발명의 실시예 7의 변형에 따른 적층 칩 소자의 사시도.

도7e는 본 발명의 실시예 7의 다른 변형에 따른 적층 칩 소자의 사시도.

도8은 본 발명의 실시예 8에 따른 적층 칩 소자의 제조 공정도.

도9는 본 발명의 실시예 9에 따른 적층 칩 소자의 제조 공정도.

도10은 본 발명의 실시예 9의 변형에 따른 적층 칩 소자의 분해 사시도.

<도면의 주요 부분에 대한 부호의 설명>

100, 200, 300, 400, 500, 600, 700, 800, 900, 1000: 더미시트

101, 201, 301, 401, 501, 601, 701, 801, 901, 1001: 제1 시트

102, 202, 302, 402, 502, 602, 702, 802, 902, 1002: 제2 시트

303, 403, 503, 703, 803, 903, 1003: 제3 시트

404: 제4 시트

110, 210, 310, 410, 510, 610, 710, 810, 910, 1010: 제1 도전체 패턴

111, 211, 311, 411, 511, 611, 711, 811, 911, 1011: 제2 도전체 패턴

112, 212, 312, 412, 512, 712, 812, 912, 1012: 제3 도전체 패턴

413: 제4 도전체 패턴

120, 220, 320, 420, 520, 620, 720, 820, 920: 소체

130, 230, 330, 430, 530, 630, 730, 830, 930: 제1 외부 단자

131, 231, 331, 431, 531, 631, 731, 831, 931: 제2 외부 단자

132, 232, 332, 432, 532, 632, 732, 832, 932: 제3 외부 단자

233, 433: 제4 외부 단자

140, 240, 340, 440, 540, 640: 금속 패드

150, 250, 350, 450, 550, 650: 저항체 패턴

160, 260, 360, 460, 560, 660, 760: 절연체 패턴

740: 페라이트 시트

840, 940, 1040: 인덕터용 시트

750, 850, 950, 1050: 인덕터 패턴

960, 1060: 천공 구멍

770: 가교 패턴

780: 절연체 페이스트

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<46> 본 발명은 적층 칩 소자에 관한 것으로, 고주파 특성이 우수하며, 목적에 따라 여러 가지 소자를 결합하여 원하는 전기적 특성을 갖도록 제작할 수 있는 적층 칩 소자에 관한 것이다.

<47> 본 발명은 적층 칩 소자에 관한 것으로, 고주파 특성이 우수하면서 다양한 커패시턴스 값을 원하는 대로 갖도록 제작할 수 있는 적층 칩 소자에 관한 것이다.

- <48> 또한, 본 발명은 고가의 반도체 집적 회로와 중요 전자 부품을 과전압 및 정전기로부터 효율적으로 보호하기 위한 배리스터 소자 및 여러 가지 소자를 결합시켜 제조한 적층 칩 소자에 관한 것이다.
- <49> 전자회로에 있어서 대표적인 수동소자로서는 저항(R), 커패시터(C), 인덕터(L)가 있으며 이들 수동소자의 기능과 역할은 매우 다양하다. 예를 들면, 저항은 회로에 흐르는 전류의 흐름을 제어하며 교류회로에 있어서는 임피던스 정합(Impedance matching)을 이루는 역할을 하기도 한다. 커패시터는 기본적으로 직류를 차단하고 교류 신호는 통과시키는 역할을 하나 시정수 회로, 시간 지연 회로, RC 및 LC 필터 회로를 구성하기도 하며 커패시터 자체로 노이즈(Noise)를 제거하는 역할을 하기도 한다. 인덕터의 경우는 고주파 노이즈(Noise)의 제거, 임피던스정합 등의 기능을 수행한다.
- <50> 또한 배리스터 소자는 인가전압에 따라 저항이 변하기 때문에 과전압(서지 전압) 및 정전기로부터 중요 전자 부품과 회로를 보호하는 보호용 소자로 널리 사용되고 있다. 즉, 평소에는 회로 내에 배치된 배리스터 소자에는 전류가 흐르지 않지만 특정한 전압 이상의 과전압이나 낙뢰 등에 의하여 배리스터 소자의 양단에 과전압이 걸리면 배리스터 소자의 저항이 급격히 감소하여 거의 모든 전류가 배리스터 소자에 흐르게 되고, 다른 소자에는 전류가 흐르지 않게 되어 상기 회로는 과전압으로부터 보호된다. 이와 같은 배리스터 소자는 특히 최근에는 전자기기의 소형화에 대응하여 고집적 회로 칩 소자 등을 정전기 및 과전압으로부터 보호하기 위하여 소형화, 어레이화 되는 추세에 있다.
- <51> 위와 같은 배리스터 소자와 저항 소자와의 결합으로 과전압으로부터의 중요한 전자 부품이나 회로를 효율적으로 보호할 수 있을 뿐만 아니라, 배리스터 소자와 인덕터 소자와의 결합

으로 노이즈 성분의 제거도 할 수 있어, 전자 부품이나 회로의 안정된 동작을 보장할 수 있다.

<52> 과전압이 인가되지 않은 상태에서 저항-배리스터 결합 소자는 저항-커패시터의 결합 소자 기능을 수행한다. 또한 인덕터-배리스터의 결합은 고주파 노이즈 제거 특성이 양호한 인덕터-커패시터로 이루어지는 파이(π)형 필터를 구현할 수 있다. 이러한 저항-배리스터 결합 소자나 인덕터-배리스터 결합 소자는 회로 내의 이상 과전압이 유입되면 즉시 배리스터의 기능이 발휘되어 상술한 바와 같이 과전압을 차단하게 된다. 일반적으로 대표적인 수동소자인 저항, 인덕터, 커패시터 이 세 소자의 적절한 결합으로 회로 내에서 임피던스 매칭 및 고주파-저주파 노이즈 제거 혹은 특정 주파수대의 신호를 선택하는 기능을 수행할 수 있다.

<53> 전자 회로에서 상기 결합 소자를 각각의 단일 소자로 사용하는 경우에는 전류가 흐르는 도선의 길이가 길어지게 되어, 등가 직렬 인덕턴스 값 및 등가 직렬 리지스턴스 값이 달라지게 된다. 따라서 고주파 전류가 잘 흐르지 않게 되는 경우가 발생하며, 상기 각각의 소자들이 소모하는 전력 때문에 삽입 손실이 커지는 현상이 발생하기도 한다. 이러한 이유로 여러 가지 소자가 결합된 적층 칩 소자가 개발 되고 있다.

<54> 그러나 이러한 적층 칩 소자는 여러 가지 특성 예를 들면 공진 주파수, 삽입 손실, 등가 직렬저항 등을 목적하는 용도에 맞추어 정확히 조절하는 것이 어렵다.

<55> 또한, 종래의 적층 칩 소자에서는 제조 공정상의 복잡성과 어려움으로 단일 칩 내에 이종의 소자를 결합시켜 복합 칩으로 제조하기 어렵고, 여러 소자를 단일칩 내에 복수개 수용할 수 있는 어레이화가 어렵다는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

- <56> 본 발명의 목적은 전술된 종래의 문제점을 해결하기 위한 것으로서, 노이즈 제거, 삽입 손실 등의 주파수 특성이 향상된 적층 칩 소자를 제공하는 것이다.
- <57> 본 발명의 다른 목적은 반도체 접적회로 등의 중요 전자 부품을 과전압 및 정전기로부터 보호하기 위한 적층 칩 소자를 제공하는 것이다.
- <58> 본 발명의 또 다른 목적은 커패시턴스 값, 저항 값 및 인덕턴스 값을 다양하게 조절하는 적층 칩 소자를 제공하는 것이다.
- <59> 본 발명의 또 다른 목적은 용도에 맞추어 이종 소자를 결합하여 원하는 소자 특성, 예를 들어 삽입 손실, 공진 주파수 또는 등가직렬저항 등이 조절된 적층 칩 소자를 제공하는 것이다.
- <60> 본 발명의 추가 목적은 원하는 소자를 단일 칩 내에 복수개 배치하는 어레이형으로 제조하여 소형화된 적층 칩 소자를 제공하는 것이다.

【발명의 구성】

- <61> 전술된 본 발명의 목적을 달성하기 위한 본 발명의 일 태양은 양 대향 단부 측에 각각 이격된 제1 및 제2 도전체 패턴이 형성된 제1 시트와, 상기 양 대향 단부를 연결하는 방향에 교차하는 방향으로 제3 도전체 패턴이 양 대향 단부를 가로질러 형성된 제2 시트를 포함하고, 상기 제1 및 제2 도전체 패턴의 일 단부는 각각 제1 및 제2 외부 단자에 연결되고, 상기 제2 도전체 패턴의 적어도 일 단부는 제3 외부 단자에 연결되고, 상기 제1 시트 및 제2 시트는 적층된 적층 칩 소자에 관한 것이다. 상기 적층 칩 소자에서, 제2 시트는 두 개가 연속하여 적층될 수 있다.

- <62> 전술된 본 발명의 목적을 달성하기 위한 본 발명의 다른 태양은 양 대향 단부 측에 각각 이격된 제1 및 제2 도전체 패턴이 형성된 제1 시트와, 서로 이격되며 상기 양 대향 단부를 연결하는 방향과 교차하는 방향으로 형성된 제1 영역 및 제2 영역으로 구성된 제3 도전체 패턴이 형성된 제2 시트를 포함하고, 상기 제1 및 제2 도전체 패턴의 일 단부는 각각 제1 및 제2 외부 단자에 연결되고, 상기 제3 도전체 패턴의 제1 및 제2 영역의 대향하는 일 단부는 각각 제3 및 제4 외부 단자에 연결되고, 상기 제1 시트 및 제2 시트는 적층된 적층 칩 소자에 관한 것이다. 상기 적층 칩 소자에서, 제2 시트는 연속하여 적층될 수 있다.
- <63> 전술된 본 발명의 목적을 달성하기 위한 본 발명의 또 다른 태양은 양 대향 단부를 가로지르는 방향으로 형성된 제1 도전체 패턴이 형성된 제1 시트와, 상기 양 대향 단부를 연결하는 방향과 교차하는 방향으로 제2 도전체 패턴이 양 대향 단부를 가로질러 형성된 제2 시트를 포함하고, 상기 제1 도전체 패턴의 일 단부는 제1 또는 제2 외부 단자에 연결되고, 상기 제2 도전체 패턴의 적어도 일 단부는 제3 외부 단자에 연결되고, 제1 및 제2 시트는 적층된 것을 적층 칩 소자에 관한 것이다. 상기 적층 칩 소자에서, 제2 시트는 두개의 시트가 연속하여 적층될 수 있다.
- <64> 전술된 본 발명의 목적을 달성하기 위한 본 발명의 추가의 태양은 양 대향 단부를 가로지르는 방향으로 형성된 제1 도전체 패턴이 형성된 제1 시트와, 상기 제1 도전체 패턴과 동일한 방향으로 제2 도전체 패턴이 형성된 제2 시트와, 상기 양 대향 단부를 연결하는 방향과 교차하는 방향으로 제3 도전체 패턴이 양 대향 단부를 가로질러 형성된 제3 시트를 포함하고, 상기 제1 및 제2 도전체 패턴의 대향하는 각각의 일 단부는 각 시트의 대응하는 일 단부의 모서리까지 연장하여 제1 및 제2 외부 단자에 연결되고, 상기 제3 도전체 패턴의 적어도 일 단부는 제3 외부 단자에 연결되고, 상기 제3 시트는 제1 시트와 제2 시트 사이에 배치된 적층 칩 소

자에 관한 것이다. 상기 적층 칩 소자에서, 제3 시트는 두개의 시트가 연속하여 적층될 수 있다.

<65> 전술된 본 발명의 목적을 달성하기 위한 본 발명의 다른 추가의 태양은 양 대향 단부를 가로지르는 방향으로 형성된 제1 도전체 패턴이 형성된 제1 시트와, 상기 제1 도전체 패턴과 동일한 방향으로 제2 도전체 패턴이 형성된 제2 시트와, 상기 양 대향 단부를 연결하는 방향과 교차하는 방향으로 제3 및 제4 도전체 패턴이 형성된 제3 및 제4 시트를 포함하고, 상기 제1 및 제2 도전체 패턴의 대향하는 각각의 일 단부는 각 시트의 대응하는 일단부의 모서리까지 연장하여 제1 및 제2 외부 단자에 연결되고, 상기 제3 및 제4 도전체 패턴의 대향하는 각각의 일 단부는 각 시트의 대응하는 일단부의 모서리까지 연장하여 제3 및 제4 외부 단자에 연결되고, 상기 제3 시트 및 제4 시트는 제1 시트와 제2 시트 사이에 배치된 적층 칩 소자에 관한 것이다.

<66> 전술된 본 발명의 목적을 달성하기 위한 본 발명의 또 다른 추가의 태양은 양 대향 단부를 가로지르는 방향으로 제1 도전체 패턴이 형성된 제1 시트와, 상기 제1 도전체 패턴과 동일한 방향으로 제2 도전체 패턴이 형성된 제2 시트와, 상기 제1 도전체 패턴과 동일 방향으로 시트의 양 대향 단부의 모서리와 이격된 제3 도전체 패턴이 형성된 제3 시트를 포함하고, 상기 제1 및 제2 도전체 패턴의 대향하는 각각의 일 단부는 각 시트의 대응하는 일 단부의 모서리까지 연장하여 제1 및 제2 외부 단자에 연결되고, 상기 제3 도전체 패턴은 상기 제1 및 제2 외부 단자와 다른 위치에 있는 제3 외부 단자에 연결되고, 상기 제3 시트는 제1 시트와 제2 시트 사이에 배치된 적층 칩 소자에 관한 것이다.

<67> 전술된 본 발명의 목적을 달성하기 위한 본 발명의 또 다른 추가의 태양은 양 대향 단부를 가로지르는 방향으로 제1 도전체 패턴이 형성된 제1 시트와, 상기 제1 도전체 패턴과 동일

한 방향으로 제2 도전체 패턴이 형성된 제2 시트와, 상기 제1 도전체 패턴과 동일 방향으로 양 대향 단부의 모서리와 이격된 제3 도전체 패턴이 형성된 제3 시트를 포함하고, 상기 제1 및 제2 도전체 패턴의 대향하는 각각의 일 단부는 각 시트의 대응하는 일 단부의 모서리까지 연장하여 제1 및 제2 외부 단자에 연결되고, 상기 제3 도전체 패턴은 상기 제1 및 제2 외부 단자와 다른 위치에 있는 제3 외부 단자에 연결되고, 2개의 상기 제1 시트 사이에 제3 시트가 적층된 제1 적층체와 2개의 상기 제2 시트 사이에 제3 시트가 적층된 제2 적층체가 서로 적층된 적층 칩 소자에 관한 것이다.

<68> 전술된 본 발명의 목적을 달성하기 위한 본 발명의 또 다른 추가의 태양은 양 대향 단부 측에 각각 이격되어 형성된 제1 및 제2 영역과, 상기 이들 영역과 이격되고 이들 사이에서 상기 양 대향 단부를 연결하는 방향과 교차하는 방향으로 양 대향 단부를 가로질러 형성된 제3 영역으로 구성된 제1 도전체 패턴이 형성된 제1 시트와, 상기 제1 및 제3 영역의 일부와 중첩되고 상기 제2 및 제3 영역의 일부와 중첩되며 서로 이격된 제4 및 제5 영역으로 구성된 제2 도전체 패턴이 형성된 제2 시트와, 상기 제1 도전체 패턴의 제1 및 제2 영역을 가로지르는 방향으로 저항체 패턴이 형성된 저항용 시트를 포함하고, 상기 제1 도전체 패턴의 양 대향 단부는 각각 제1 및 제2 외부 단자에 연결되고, 상기 제2 도전체 패턴의 적어도 일 단부는 제3 외부 단자에 연결되고, 상기 제1 시트, 제2 시트 및 저항용 시트가 적층되며 상기 저항용 시트는 상기 적층된 시트의 최상부 또는 최하부에 배치되고, 상기 저항체 패턴은 각각 제1 및 제2 외부 단자와 연결된 적층 칩 소자에 관한 것이다. 상기 적층 칩 소자에서, 저항용 시트의 저항체 패턴의 양 단부에 금속 패드가 포함되어 형성될 수 있다.

<69> 전술된 본 발명의 목적을 달성하기 위한 본 발명의 또 다른 추가의 태양은 양 대향 단부 측에 각각 이격되어 형성된 제1 및 제2 영역과, 상기 이들 영역과 이격되고 이들 사이에서 상

기 양 대향 단부를 연결하는 방향과 교차하는 방향으로 양 대향 단부를 가로질러 형성된 제3 영역으로 구성된 제1 도전체 패턴이 형성된 제1 시트와, 상기 제1 및 제3 영역의 일부와 중첩되고 상기 제2 및 제3 영역의 일부와 중첩되며 서로 이격된 제4 및 제5 영역으로 구성된 제2 도전체 패턴이 형성된 제2 시트와, 소정의 인덕턴스 값을 갖는 인덕터 패턴이 형성된 인덕터용 시트를 포함하고, 상기 제1 도전체 패턴의 양 대향 단부는 각각 제1 및 제2 외부 단자에 연결되고, 상기 제2 도전체 패턴의 적어도 일 단부는 제3 외부 단자에 연결되고, 상기 제1 시트, 제2 시트, 인덕터용 시트는 적층되고 상기 인덕터용 시트는 상기 적층된 시트의 최상부 또는 최하부에 배치되고, 상기 인덕터 패턴의 양 단부는 대응하는 제1 및 제2 외부 단자에 연결된 적층 칩 소자에 관한 것이다.

- <70> 상기 적층 칩 소자에서, 제1 및 제2 시트 중 적어도 하나의 시트는 복수개일 수 있다. 상기 제1 및 제2 도전체 패턴은 면적이 다를 수 있다. 상기 적층 칩 소자는 복수개가 병렬로 배치되어 단일칩 내에 어레이형으로 제조될 수 있다.
- <71> 상기 적층 칩 소자에 있어서, 제1 및 제2 외부 단자와 연결되는 방향으로 저항체 패턴이 형성된 저항용 시트를 포함하고, 상기 저항용 시트는 상기 적층된 시트의 최상부 또는 최하부에 적층되고, 상기 저항체 패턴의 양 단부는 각각은 제1 및 제2 외부 단자와 연결될 수 있으며, 저항용 시트의 저항체 패턴의 양 단부에 금속 패드가 포함되어 형성될 수 있으며, 이러한 저항용 시트는 복수개가 포함될 수 있다. 또한, 적층된 시트의 최상부 층에는 절연층이 형성될 수 있다. 상기 저항체 패턴은 Ni-Cr 또는 RuO₂을 포함할 수 있다.
- <72> 상기 적층 칩 소자에 있어서, 소정의 인덕턴스 값을 갖는 인덕터 패턴이 형성된 인덕터용 시트를 포함하고, 상기 인덕터용 시트는 상기 적층된 시트의 최상부 또는 최하부에 적층되고, 상

기 인덕터 패턴의 양 단부는 대응하는 제1 및 제2 외부 단자에 연결될 수 있다. 상기 인덕터용 시트의 인덕터 패턴의 양 단부에 금속 패드가 포함되어 형성될 수 있으며, 적층된 시트의 최상부 층에는 보호층이 형성될 수 있다. 이러한 인덕터 패턴은 나선형 패턴이고 나선형 패턴의 양 단부가 각각 제1 및 제2 외부 단자에 연결될 수 있으며, 나선형 패턴 상에는 반지름 방향으로 보호층이 형성되고, 상기 보호층 상에는 나선형 패턴의 중심축 단부를 외측으로 연장하기 위한 가교 패턴을 포함할 수 있다. 또한, 상기 인덕터용 시트가 페라이트 시트를 포함할 수 있고, 페라이트 시트를 다른 적층 시트와 동시에 소성하여 제조할 수 있다. 더욱이, 상기 인덕터 패턴은 Ag, Pt, Pd 등의 금속 패턴을 포함하거나, Ni-Cr, RuO₂ 등의 저항체 패턴을 포함할 수 있다.

<73> 상기 적층 칩 소자는 복수개가 병렬로 배치되고, 소정의 인덕턴스 값을 갖는 인덕터 패턴이 형성된 복수개의 인덕터용 시트를 포함하고, 상기 적층된 복수의 인덕터용 시트에 형성된 인덕터 패턴의 양 단부는 각각의 시트마다 소정의 거리만큼 이격되고, 상기 인덕터용 시트는 상기 적층된 시트의 최상부 또는 최하부에 적층되고, 상기 인덕터 패턴의 양 단부는 대응하는 소자의 제1 및 제2 외부 단자에 각각 연결될 수 있다. 또한, 이러한 인덕터 패턴은 나선형 또는 민더형 패턴으로 형성될 수 있으며, 하나의 인덕터용 시트 상에 하나 이상 인덕터 패턴이 형성될 수 있다.

<74> 상기 적층 칩 소자에 있어서, 상기 적층된 시트의 상부 또는 하부에는 인덕터 패턴이 형성된 복수개의 시트를 포함하는 인덕터용 시트가 적층되고, 상기 복수개의 인덕터용 시트는 인접하는 인덕터용 시트의 인덕터 패턴이 천공 구멍을 통해 연결될 수 있다. 특히, 상기 복수개의 인덕터용 시트는 소정 형상의 제1 인덕터 패턴이 형성되고 제1 인덕터 패턴의 일 단부에 도전체가 충전된 천공구멍이 형성되

고 제1 인덕터 패턴의 다른 일 단부는 시트의 모서리까지 연장된 제1 인덕터용 시트와, 소정 형상의 제2 인덕터 패턴이 형성되고 제1 인덕터 패턴의 천공 구멍과는 대향되는 위치의 제2 인덕터 패턴의 일 단부에 도전체가 충진된 천공구멍이 형성되고 제2 인덕터 패턴의 다른 일 단부는 시트의 모서리까지 연장된 제2 인덕터용 시트와, 소정 형상의 제3 인덕터 패턴이 형성되고 제3 인덕터 패턴의 양 단부에 도전체가 충진된 천공구멍이 형성된 제3 인덕터용 시트를 포함하고, 상기의 제1 인덕터용 시트와 제2 인덕터용 시트 사이에 제3 인덕터용 시트가 적층되고 제1 인덕터 패턴과 제2 인덕터 패턴은 일단부는 제1 및 제2 외부 단자와 연결될 수 있다. 또한, 제3 인덕터용 시트는 복수개일 수 있다. 더욱이, 상기 복수의 인덕터용 시트위에 형성된 인덕터 패턴은 상기 제1 및 제2 외부 단자를 연결하는 방향으로 형성될 수 있으며, 상기 천공 구멍 내의 도전체에 의해 서로 연결된 상기 인덕터 패턴은 나선형일 수 있다.

<75> 상기 적층 칩 소자에 있어서, 상기 시트는 세라믹 시트, 배리스터 시트, PTC 서미스터 시트, NTC 서미스터 시트를 포함할 수 있다.

<76> 다음은 도면을 참조하여 본 발명의 양호한 실시예에 대해 설명하고자 한다.

<77> [실시예 1]

<78> 도1a 내지 도1d는 본 발명의 일 태양에 따른 적층 칩 소자의 구조이다.

<79> 도1a는 복수 개의 소자, 예를 들어 4개의 단위 소자가 하나의 칩으로 제조된 본 발명의 일 실시예에 따른 적층 칩 소자의 제조 공정을 나타내는 도면이다.

<80> 우선 원하는 소자용 성형 시트를 제조한다. 배리스터 소자를 제조한다면, 공

업용으로 시판하고 있는 배리스터 소자의 원료 분말을 이용하거나 ZnO 분말에 Bi₂O₃, CoO, MnO 등의 첨가제를 넣은 원하는 조성에 물 또는 알코올 등을 용매로 24시간 볼밀(Ball Mill)하여 원료분말을 준비한다. 성형 시트를 준비하기 위해 상기 준비된 배리스터용 분말에 첨가제로 PVB계 바인더(binder)를 원료 분말 대비 약 6wt% 정도 측량한 후 톨루엔/알코올(toluene/alcohol)계 솔벤트(solvent)에 용해시켜 투입한 후 소형 볼 밀(ball mill)로 약 24시간 동안 밀링(milling) 및 혼합하여 슬러리(slurry)를 제조하고, 이러한 슬러리를 닥터 블레이드(Doctor blade)등의 방법으로 도2a와 같이 원하는 두께의 성형 시트(100 내지 102)로 제조한다. 이때 커패시터 소자용 조성의 원료 분말, PTC(positive temperature coefficient) 서미스터 소자용 조성의 원료 분말 또는 NTC(negative temperature coefficient) 서미스터 소자용 조성의 원료 분말도 상기와 같은 방법으로 원하는 두께의 성형 시트로 제조할 수 있다.

<81> 상기와 같이 제조된 시트 위에 특수하게 설계된 내부전극 패턴의 스크린을 이용하여 스크린 프린팅(screen printing) 등의 방법으로 Ag, Pt, Pd 등의 도전성 페이스트(Paste)를 인쇄하여 도전체 패턴을 형성한다. 즉, 시트의 양 대향 단부 측에 각각 이격된 제1 및 제2 도전체 패턴(110, 111)을 형성하여 제1 시트(101)를 제조하고, 상기 양 대향 단부를 연결하는 방향과 교차하는 방향으로 제3 도전체 패턴(112)을 형성하여 제2 시트(102)를 제조한다. 이때 제1 및 제2 도전체 패턴(110, 111)의 폭은 도1a의 (a)에 도시된 바와 같이 서로 다르게 형성될 수 있다.

<82> 이때 단일칩 내에 복수개의 단위소자를 형성하는 경우 제1 도전체 패턴(110) 및 제2 도전체 패턴(111)은 단위 소자(2점 쇄선으로 표시함)당 각각 하나씩 배치되도록 복수개를 연속적으로 형성하며, 공통 전극과 연결되는 제3 도전체 패턴(112)은 단위 소자들을 가로질러 연결되

도록 형성한다. 또한 제1 및 제2 도전체 패턴(110, 111)의 일 단부와 제3 도전체 패턴(112)의 적어도 일 단부는 외부로 노출되어 외부 단자(130 내지 132)와 연결될 수 있도록 형성한다.

<83> 상기와 같이 각 도전체 패턴이 형성된 제1 및 제2 시트(101, 102)는 도1a에 도시된 바와 같이 각각 2개가 교대로 적층하고 그 위에는 더미시트(100)가 적층된다. 또한 원하는 커패시턴스 값을 갖도록 본 실시예는 제1 및 제2 시트(101, 102)는 각각 하나씩 적층하였으나, 이들 시트가 다양한 조합으로 복수 개로 적층되어 단일 칩을 이룰 수도 있다. 즉, 상기 제1 및 제2 시트(101, 102)의 적층 수를 조절하여 소자의 커패시턴스 값을 조절할 수도 있다.

<84> 상기와 같이 적층된 적층물을 압착한 후 적절한 크기로 절단한다. 예를 들어 단위소자를 표시하는 2점 쇄선으로 절단할 경우는 단위소자가 단일 칩으로 절단되며, 복수개의 소자를 주기적으로 절단하는 경우는 복수개의 소자가 단일 칩으로 절단된다. 즉, 도1a와 같이 4개의 단위 소자가 배치되도록 절단하면 4개의 단위 소자가 병렬 배치된 어레이형 단일 칩으로 절단할 수 있다.

<85> 실제로 하나의 소자에 형성되는 패턴을 하나의 시트에 복수 개로 반복하여 나타나도록 형성하여 제1 및 제2 시트(101, 102)를 제조하여 이들 시트를 적층한 후, 상기 원하는 소자의 크기로 절단하면, 예를 들어 도1a의 (a)에 도시된 바와 같이 절단하면 대량 생산에 적합할 수 있다.

<86> 상기와 같이 절단된 적층물 내의 각종 바인더 등 유기물 성분을 모두 제거하기 위하여 약 300℃ 정도에서 가열하여 베이킹 아웃(Bake-out)시킨 후 온도를 상승시켜 적당한 소성온도(예를 들면 약 1100℃)에서 적층물을 소성한다.

- <87> 이때 상기의 적층물에 각 도전체 패턴과 연결되는 외부 전극을 형성하여 소자를 제조할 수 있으며, 또한 하기에서 설명하는 바와 같이 저항 성분을 추가로 결합시킬 수 있다.
- <88> 소성된 소체의 최상부의 더미시트(100)에는 제1 및 제2 외부 단자(130, 131)와 대응하는 위치에 소정 영역을 차지하는 각각 금속 패드(140)를 각각 형성하고, 상기 금속 패드(140) 상에 상기 양단의 금속 패드(140)를 연결하는 방향으로 RuO_2 와 같은 저항성 페이스트를 인쇄하여 저항체 패턴(150)을 형성한다. 그 다음 상기 저항체 패턴(150)을 가로지르는 방향으로 상기 패턴을 보호하기 위한 절연체 패턴(160)을 형성한다.
- <89> 이러한 저항체 패턴은 별도의 시트에 형성될 수 있다. 즉, 이러한 저항체 패턴이 형성된 저항용 시트는 제1 및 제2 시트(101, 102)와 함께 적층, 절단 및 소성될 수 있다. 이때 적층된 시트의 최상부에는 패턴 보호를 위한 절연체 패턴을 형성하거나, 최상부에 더미시트(100)를 추가로 적층할 수도 있다. 한편, 제조를 간단히 하기 위하여 금속 패드(140)를 형성하지 않고 저항체 패턴만 형성시킬 수 있다.
- <90> 상기 적층물의 외부에는 적층물의 내부의 각 도전체 패턴 및 저항체 패턴과 연결되는 외부 단자가 형성되어 적층 칩 소자가 완성된다. 외부 단자는 형성할 전극의 수(소체의 측면에 인쇄되는 외부 단자의 개수, 예를 들면 4개 또는 1개)와 위치에 따라 원주면에 홈이 파여진 고무 디스크(disc)에 은 페이스트(Ag-paste)를 묻힌 후 소체에 디스크를 밀착 회전시켜(dipping 작용) 전극을 인쇄한 뒤 적절한 온도에서 소성한다.
- <91> 또한 적층 칩은 적층물의 외부에 내부의 각 도전체 패턴 및 저항체 패턴과 연결되는 외부 단자를 형성한 후 저항체 패턴의 표면에 에폭시나 유리등을 스크린 프린팅 등 방법으로 인쇄하고 열처리하여 절연 보호층을 형성할 수 있다.

- <92> 상기와 같이 여러 가지 방법으로 저항체 패턴 위에 형성되는 보호층은 저항체의 표면을 습기 등 외부 환경으로부터 보호할 수 있다.
- <93> 상기와 같이 완성된 적층칩의 제1 시트(101)에는 각 단위 소자의 양 대향 단부 측에 각각 이격된 제1 및 제2 도전체 패턴(110, 111)이 각 소자마다 하나씩 모두 4개가 병렬로 형성되며, 제2 시트(102)에는 상기 양 대향 단부를 연결하는 방향과 교차하는 방향으로 제3 도전체 패턴(112)이 형성된다. 적층된 시트 상부에는 상기 양 대향 단부를 가로지르는 방향으로 저항체 패턴(150)이 형성된다. 또한 제1 및 제2 도전체 패턴(110, 111)의 일 단부와 연결되는 제1 및 제2 외부 단자(130, 131)는 입출력 단자(신호 전극)이며, 상기 입출력 단자는 저항체 패턴(150)의 양 단부와도 연결된다. 제3 도전체 패턴(112)의 양 단부에 연결되는 제3 외부 단자(132)는 공통 단자(접지 전극)이다. 이 경우, 공통 단자는 제3 도전체 패턴(112)의 일 단부에 연결될 수도 있다.
- <94> 이때 도면에서 가상선으로 나뉜 부분이 하나의 소자로 작동하게 된다. 우선, 제1 시트(101) 및 제2 시트(102)가 하나씩 적층된 구조를 살펴보면, 제1 및 제2 도전체 패턴(110, 111)과 제3 도전체 패턴(112) 사이에 각각 중첩된 영역이 있다. 이때, 제1 및 제2 도전체 패턴(110, 111)의 폭이 서로 다르기 때문에 제1 도전체 패턴(110)과 제3 도전체 패턴(112)이 중첩되는 영역의 커패시턴스 값과 제2 도전체 패턴(111)과 제3 도전체 패턴(112)이 중첩되는 영역의 커패시턴스 값을 각각 C1, C2라 하면, 본 실시예의 칩 소자는 저항체 패턴(150)의 양단에 상기 C1 및 C2의 값을 가지는 커패시터가 공통단자와 연결된 구조가 되고, 이는 도1c의 등가회로도에 나타낸 바와 같다.
- <95> 또한 상기 도1a에 도시된 소자는 제1 및 제2 시트(101, 102)가 교대로 적층되므로 상기 제1 및 제2 도전체 패턴(110, 111)의 상하에 각각 커패시턴스 값을 형성한다.

- <96> 이와 같이 제조된 적층 칩 소자는 도1b에 도시된 단면도에서 나타나듯이 저항체 패턴 (150)의 양 단부에는 금속 패드(140)가 형성된다. 따라서 상기 금속 패드(140) 사이의 거리를 정확하게 조절하여 형성하면, 저항치 또한 정확하게 조절할 수 있고, 복수의 소자가 단입칩 내에 형성된 경우는 각 단위소자의 저항값을 균일하게 제조할 수 있다.
- <97> 입출력단에 커패시턴스 값이 다르기 때문에 저대역 통과 필터로 사용하는 경우, 상기 두 개의 커패시턴스 값에 의해 상기 소자의 자기 공진 주파수가 도1d에 나타난 것 같이 두번 나타나게 된다. 이로서 고주파 노이즈에 대해서 제거할 수 있는 주파수 영역이 넓어지게 된다. 또한 상기의 적층 칩 소자는 직렬 저항이 신호 라인 중간에 존재하게 되어 이 직렬 저항이 신호 라인의 전류값을 제한하거나 임피던스 매칭용 저항의 역할을 수행하며 특히 디지털 회로에서 구형파 펄스 신호에 실리는 링잉(ringing) 현상을 방지 할 수 있다.
- <98> [실시예 2]
- <99> 도2a 및 도2b에 도시된 본 실시예 2는, 공통 단자로 사용되는 도전체 패턴의 형상을 변형하여 소자의 특성을 변화시킬 수 있는 구조이다.
- <100> 도2a는 4개의 소자가 하나의 칩으로 제조된 본 실시예에 따른 적층 칩 소자의 제조 공정을 나타내는 제조 공정도이다.
- <101> 원하는 소자용 성형 시트는 실시예 1과 동일한 방법으로 제조된다.
- <102> 제조된 시트 위에 특수하게 설계된 내부전극 패턴의 스크린을 이용하여 스크린 프린팅(screen printing) 등의 방법으로 Ag, Pt, Pd 등의 도전성 페이스트(Paste)를 인쇄하여 도전체 패턴을 형성한다. 즉, 시트의 양 대향 단부 측에 각각 이격되도록 제1 및 제2 도전체 패턴(210, 211)을 형성하여 제1 시트(201)를 제조하고, 서로 이격되며 상기 양 대향 단부를 연결하

는 방향과 교차하는 방향으로 형성된 제1 영역(212a) 및 제2 영역(212b)으로 구성된 제3 도전체 패턴(212)을 형성하여 제2 시트(202)를 제조한다. 이때 제1 및 제2 도전체 패턴(210, 211)의 폭은 도2a의 (a)에 도시된 바와 같이 서로 다르게 형성될 수 있다.

<103> 이때 단일칩 내에 복수개의 단위소자를 형성하는 경우 제1 도전체 패턴(210) 및 제2 도전체 패턴(211)은 단위 소자(2점 쇄선으로 표시함)당 각각 하나씩 배치되도록 복수개를 연속적으로 형성되며, 공통 전극과 연결되는 제3 도전체 패턴(212)의 제1 및 제2 영역(212a, 212b)은 단위 소자들을 가로질러 연결되도록 형성한다. 또한 제1 및 제2 도전체 패턴(210, 211)의 일 단부와 제3 도전체 패턴(212)의 제1 및 제2 영역(212a, 212b)의 대향하는 일 단부는 외부로 노출되어 외부 단자(230 내지 233)와 연결될 수 있도록 형성한다.

<104> 상기와 같이 각 도전체 패턴이 형성된 제1 및 제2 시트(201, 202)는 전술된 실시예 1과 유사하게, 원하는 커패시턴스 값을 갖도록 본 실시예는 제1 및 제2 시트(201, 202)가 각각 하나씩 적층된 칩 소자일 수 있으며, 또는 이들 시트가 다양한 조합으로 복수 개로 적층되어 단일 칩을 이룰 수도 있다. 즉, 상기 제1 및 제2 시트(101, 102)의 적층 수를 조절하여 소자의 커패시턴스 값을 조절할 수도 있다.

<105> 상기와 같이 적층되고 압착된 적층물은 실시예 1과 같은 방법으로 적절한 크기로 절단 및 소성된다. 이때 소성된 적층물에 각 도전체 패턴과 연결되는 외부 전극을 형성하여 소자를 제조할 수 있으며, 또한 하기에서 설명하는 바와 같이 저항 성분을 추가로 결합시킬 수 있다.

<106> 소성된 상기 적층물의 최상부에 실시예 1과 같은 여러 가지 방법으로 저항체 패턴(250)을 형성하고, 저항체 패턴 및 도전체 패턴과 연결되는 외부 단자를 실시예 1과 같은 방법으로 형성하여 적층 칩을 완성한다. 다만 본 실시예에서는 제2 도전체 패턴(212a, 212b)은 대향하는 일 단부가 각각 제3 및 제4 외부 단자(232, 233)에 연결된다.

- <107> 상기와 같이 제조된 적층칩의 제1, 제2 도전체 패턴 및 저항체 패턴은 실시예 1과 동일한 구조이며, 제3 도전체 패턴(212)의 제1 및 제2 영역(212a, 212b)의 대향하는 일 단부에 각각 연결되는 제3 및 제4 외부 단자(232, 233)는 공통단자(접지 전극)이다.
- <108> 이때 본 실시예의 칩 소자는 저항체 패턴(250)의 양단에 상기 C1 및 C2의 값을 가지는 커패시터가 각각 공통단자와 연결된 구조로 실시예 1에 나타난 적층 칩 소자와 비슷한 특성을 가지지만 제1 도전체 패턴(210)이 사용하는 공통단자 패턴과, 제2 도전체 패턴(211)이 사용하는 공통단자 패턴을 분리하여 C1과 C2가 상호 간섭이 없는 주파수 특성을 구현할 수 있다.
- <109> [실시예 3]
- <110> 도3에 도시된 본 실시예 3은 상기 실시예 1과 유사하나, 상기 제1 및 제2 도전체 패턴을 각기 다른 시트에 형성시킨다.
- <111> 도3은 4개의 단위 소자가 하나의 칩으로 제조된 본 실시예에 따른 적층 칩 소자의 제조 공정을 나타내는 제조 공정도이다.
- <112> 원하는 소자용 성형 시트는 실시예 1과 동일한 방법으로 제조된다.
- <113> 제조된 시트 위에 특수하게 설계된 내부전극 패턴의 스크린을 이용하여 스크린 프린팅(screen printing) 등의 방법으로 Ag, Pt, Pd 등의 도전성 페이스트(Paste)를 인쇄하여 도전체 패턴을 형성한다. 즉, 시트의 양 대향 단부를 가로지르는 방향으로 제1 도전체 패턴(310)을 형성하여 제1 시트(301)를 제조하고, 상기 제1 도전체 패턴(310)과 동일한 방향으로 제2 도전체 패턴(311)을 형성하여 제2 시트(302)를 제조하고, 상기 제1 도전체 패턴(310)과 교차하는 방향으로 시트의 양 대향 단부를 가로지르는 제3 도전체 패턴(312)을 형성하여 제3 시트(303)를 제조한다. 이때 제1 및 제2 도전체 패턴(310, 311)의 폭은 서로 다르게 형성될 수 있다.

- <114> 이때 단일칩 내에 복수개의 단위 소자를 형성하는 경우 제1 도전체 패턴(310) 및 제2 도전체 패턴(311)은 단위 소자(2점 쇄선으로 표시함)당 각각 하나씩 배치되도록 복수개를 연속적으로 형성하며, 공통 전극과 연결되는 제3 도전체 패턴(312)은 단위 소자들을 가로질러 연결되도록 형성한다. 또한 제1 및 제2 도전체 패턴(310, 311)의 대향하는 일 단부와 제3 도전체 패턴(312)의 양 단부는 외부로 노출되어 제1 내지 제3 외부 단자(330 내지 332)와 연결될 수 있도록 형성한다.
- <115> 상기와 같이 각 도전체 패턴이 형성된 제1 내지 제3 시트(301 내지 303)는 제1 시트(301), 제3 시트(303), 제2 시트(302)의 순서대로 적층되고, 그 위에는 더미시트(300)가 적층된다. 이와 달리 원하는 커패시턴스 값을 갖도록 본 실시예는 제1 및 제2 시트(301, 302) 중 어느 하나와, 제3 시트(303) 하나가 적층된 칩 소자일 수 있으며, 이들 시트가 다양한 조합으로 복수 개로 적층되어 단일 칩을 이룰 수도 있다. 즉, 상기 시트의 적층 수를 조절하여 소자의 커패시턴스 값을 조절할 수도 있다.
- <116> 상기와 같이 적층되고 압착된 적층물을 실시예 1과 같은 방법으로 적절한 크기로 절단 및 소성된다. 이때 소성된 적층물에 각 도전체 패턴과 연결되는 외부 전극을 형성하여 소자를 제조할 수 있으며, 또한 하기에서 설명하는 바와 같이 저항 성분을 추가로 결합시킬 수 있다.
- <117> 상기 적층물에 실시예 1의 여러 방법과 같은 방법으로 저항체 패턴(350)을 형성하고, 저항체 패턴 및 도전체 패턴과 연결되는 외부 단자를 실시예 1과 같은 방법으로 형성하여 적층 칩을 완성한다.
- <118> 상기와 같이 제조된 적층칩의 제1 및 제2 시트(301, 302)에는 각 단위 소자의 양 대향 단부를 가로지르는 제1 및 제2 도전체 패턴(310, 311)이 각 소자마다 하나씩 모두 4개가 병렬로 형성되며, 제3 시트(303)에는 상기 양 대향 단부를 연결하는 방향과 교차하는 방향으로 제3

도전체 패턴(312)이 형성된다. 적층된 시트 상부에는 상기 양 대향 단부를 가로지르는 방향으로 저항체 패턴(350)이 형성된다. 또한 제1 및 제2 도전체 패턴(310, 311)의 일 단부와 각각 연결되는 제1 및 제2 외부 단자(330, 331)는 입출력 단자(신호 전극)이며, 상기 입출력 단자는 저항체 패턴(350)의 양 단부와도 연결된다. 제3 도전체 패턴(312)의 양 단부에 연결되는 제3 외부 단자(332)는 공통 단자(접지 전극)이다. 이 경우, 공통 단자는 제3 도전체 패턴(312)의 일 단부에 연결될 수도 있다.

<119> 이때, 제1 및 제2 도전체 패턴(310, 311)과 제3 도전체 패턴 사이에 각각 중첩된 영역이 있다. 이때, 제1 및 제2 도전체 패턴(310, 311)의 폭이 서로 다를 수 있기 때문에 제1 도전체 패턴(310)과 제3 도전체 패턴(312)의 중첩되는 영역의 커패시턴스 값과 제2 도전체 패턴(311)과 제3 도전체 패턴(312)의 중첩되는 영역의 커패시턴스 값을 각각 C1, C2라 하면, 본 실시예의 칩 소자는 저항체 패턴(350)의 양단에 상기 C1 및 C2의 값을 가지는 커패시터가 공통단자와 연결된 구조가 된다.

<120> 상기 적층 칩 소자는 실시예 1에 나타난 적층 칩 소자와 비슷한 특성을 가지지만 제1 도전체 패턴(310)과 제2 도전체 패턴(311)이 각각 다른 시트에 형성되기 때문에 커패시턴스 값을 결정하는 도전체 패턴의 중첩 영역을 좀 더 자유롭게 결정할 수 있다.

<121> [실시예 4]

<122> 도4a 및 도4b에 도시된 본 실시예 4는 상기 실시예 3과 유사하나, 상기 제1 및 제2 도전체 패턴(410, 411)에 대응하여 공통 단자로 사용되는 도전체 패턴이 각기 다른 시트에 형성된 점에서 상이하다.

- <123> 도4a는 4개의 단위 소자가 하나의 칩으로 제조된 본 실시예에 따른 적층 칩 소자의 제조 공정을 나타내는 제조 공정도이다.
- <124> 원하는 소자용 성형 시트는 실시예 1과 동일한 방법으로 제조된다.
- <125> 제조된 시트 위에 특수하게 설계된 내부전극 패턴의 스크린을 이용하여 스크린 프린팅(screen printing) 등의 방법으로 Ag, Pt, Pd 등의 도전성 페이스트(Paste)를 인쇄하여 도전체 패턴을 형성한다. 즉, 시트의 양 대향 단부를 가로지르는 방향으로 제1 도전체 패턴(410)을 형성하여 제1 시트(401)를 제조하고, 상기 제1 도전체 패턴(410)과 동일한 방향으로 제2 도전체 패턴(411)을 형성하여 제2 시트(402)를 제조한다. 또한, 상기 제1 도전체 패턴(410)과 교차하는 방향으로 제3 도전체 패턴(412)을 형성하여 제3 시트(403)를 제조하고, 상기 제3 도전체 패턴(412)과 동일한 방향으로 제4 도전체 패턴(413)을 형성하여 제4 시트(404)를 제조한다. 제1 및 제2 도전체 패턴(410, 411)의 폭은 서로 다르게 형성될 수 있다.
- <126> 이때 단일칩 내에 단위 소자를 복수개 형성하는 경우 제1 도전체 패턴(410) 및 제2 도전체 패턴(411)은 단위 소자(2점 쇄선으로 표시함)당 각각 하나씩 배치되도록 복수개를 연속적으로 형성되며, 공통 전극과 연결되는 제3 및 제4 도전체 패턴(412, 413)은 단위 소자들을 가로질러 연결되도록 형성한다. 또한 제1 및 제2 도전체 패턴(410, 411)의 대향하는 일 단부와 제3 및 제4 도전체 패턴(412, 413)의 대향하는 일 단부는 외부로 노출되어 제1 내지 제4 외부 단자(430 내지 433)와 연결될 수 있도록 형성한다.
- <127> 상기와 같이 각 도전체 패턴이 형성된 제1 내지 제4 시트(401 내지 404)는 제1 시트(401), 제3 시트(403), 제4 시트(404), 제2 시트(402)의 순서대로 적층되고, 그 위에는 더미시트(400)가 적층된다. 이와 달리 원하는 커패시턴스 값을 갖도록 본 실시예는 제1 내지 제4 시트(401 내지 404)가 하나 이상씩 적층된 칩 소자일 수 있으며, 이들 시트가 다양한 조합으로

복수 개로 적층되어 단일 칩을 이룰 수도 있다. 즉, 상기 시트의 적층 수를 조절하여 소자의 커패시턴스 값을 조절할 수도 있다.

<128> 상기와 같이 적층되고 압착된 적층물은 실시예 1과 같은 방법으로 적절한 크기로 절단 및 소성된다. 이때 소성된 적층물에 각 도전체 패턴과 연결되는 외부 전극을 형성하여 소자를 제조할 수 있으며, 또한 하기에서 설명하는 바와 같이 저항 성분을 추가로 결합시킬 수 있다.

<129> 소성된 상기 적층물에 상기 실시예 1의 여러 방법과 같은 방법으로 저항체 패턴(450)을 형성하고, 저항체 패턴 및 도전체 패턴과 연결되는 외부 단자를 실시예 1과 같은 방법으로 형성하여 적층 칩을 완성한다. 다만 본 실시예에서는 제3 및 제4 도전체 패턴(412, 413)의 대향하는 일 단부는 제3 및 제4 외부 단자(432, 433)에 연결되어야 하기 때문에 실시예 1과 달리 제3 외부 단자(432) 이외에 제4 단자(433)도 형성되어야 한다.

<130> 상기와 같이 제조된 적층칩의 제1 및 제2 시트(401, 402)에는 각 단위 소자의 양 대향 단부를 가로지르는 제1 및 제2 도전체 패턴(410, 411)이 각 소자마다 하나씩 모두 4개가 병렬로 형성되며, 제3 및 제4 시트(403, 404)에는 상기 제1 및 제2 도전체 패턴과 교차하는 방향으로 제3 및 제4 도전체 패턴(412, 413)이 형성된다. 적층된 시트 상부에는 상기 제1 및 제2 도전체 패턴과 동일한 방향으로 저항체 패턴(450)이 형성된다. 또한 제1 및 제2 도전체 패턴(410, 411)의 일 단부와 각각 연결되는 제1 및 제2 외부 단자(430, 431)는 입출력 단자(신호 전극)이며, 상기 입출력 단자는 저항체 패턴(450)의 양 단부와도 연결된다. 제3 및 제4 도전체 패턴(412, 413)의 일 단부에 각각 연결되는 제3 및 제4 외부 단자(432, 433)는 공통 단자(접지 전극)이다.

<131> 도면에서 가상선으로 나뉜 부분이 하나의 소자로 작동하게 된다. 우선, 제1 시트(401), 제3 시트(402), 제4 시트(404), 제2 시트(402)가 순서대로 하나씩 적층된 구조를 살펴보면, 제

1 도전체 패턴(410)은 제3 도전체 패턴(412) 사이와, 제2 도전체 패턴(411)과 제4 도전체 패턴(413) 사이에 각각 중첩된 영역이 있다. 이때, 제1 및 제2 도전체 패턴(410, 411)의 폭이 서로 다를 수 있기 때문에 제1 도전체 패턴(410)과 제3 도전체 패턴(412)의 중첩되는 영역의 커패시턴스 값과 제2 도전체 패턴(411)과 제4 도전체 패턴(413)의 중첩되는 영역의 커패시턴스 값을 각각 C1, C2라 하면, 본 실시예의 칩 소자는 저항체 패턴(450)의 양단에 상기 C1 및 C2의 값을 가지는 커패시터가 공통단자와 연결된 구조가 된다. 여기서 제3 시트(402)와 제4 시트(403)의 순서가 바뀌어도 효과는 동일하다.

<132> 이와 같이 제조된 적층 칩 소자는 실시예 3에 나타난 적층 칩 소자와 유사한 특성을 가지지만 제1 도전체 패턴(410)에 대응하는 공통단자 패턴은 제3 도전체 패턴(412)이고, 제2 도전체 패턴(411)에 대응하는 공통단자 패턴은 제4 도전체 패턴(413)이라는 점이 상이하다. 상기와 같이 공통단자 패턴이 분리되면 C1과 C2가 상호 간섭이 없는 주파수 특성을 구현할 수 있다. 또한, 각각의 커패시터에서 공통단자에 흐르는 전류의 방향을 한 방향으로 고정시켜 등가직렬인덕턴스를 증가시킬 수 있다.

<133> 또한 제조된 적층 칩 소자는 저항체 패턴(450)의 양단에 금속 패드(440)가 형성된다. 따라서 상기 금속 패드(440) 사이의 거리를 정확하게 조절하여 형성하면, 저항치 또한 정확하게 조절할 수 있고, 입출력단에 커패시턴스 값이 다르기 때문에 저대역 통과 필터로 사용하는 경우 상기 두개의 커패시턴스 값에 의해 상기 소자의 자기 공진 주파수가 두번 나타나게 되어 고주파 노이즈에 대해서 제거할 수 있는 주파수 영역이 넓어지게 된다.

<134> [실시예 5]

<135> 도5a 및 도5b에 도시된 본 실시예 5는 상기 실시예 4과 유사하나, 공통 단자로 사용되는 도전체 패턴이 변형된 점이 상이하다.

- <136> 도5a는 4개의 단위 소자가 하나의 칩으로 제조된 본 실시예에 따른 적층 칩 소자의 제조 공정을 나타내는 제조 공정도이다.
- <137> 원하는 소자용 성형 시트는 실시예 1과 동일한 방법으로 제조된다.
- <138> 제조된 시트 위에 특수하게 설계된 내부전극 패턴의 스크린을 이용하여 스크린 프린팅(screen printing) 등의 방법으로 Ag, Pt, Pd 등의 도전성 페이스트(Paste)를 인쇄하여 도전체 패턴을 형성한다. 즉, 시트의 양 대향 단부를 가로지르는 방향으로 제1 도전체 패턴(510)을 형성하여 제1 시트(501)를 제조하고, 상기 제1 도전체 패턴(510)과 동일한 방향으로 제2 도전체 패턴(511)을 형성하여 제2 시트(502)를 제조한다. 또한, 상기 제1 도전체 패턴(510)과 동일 방향으로 형성된 제1 영역과 상기 제1 도전체 패턴과 교차하는 방향으로 상기 제1 영역의 일 단부와 연결되어 형성된 제2 영역으로 구성된 제3 도전체 패턴(512)을 형성하여 제3 시트(503)를 제조한다. 이때 제1 및 제2 도전체 패턴(510, 511)의 폭은 서로 다르게 형성될 수 있다.
- <139> 단일칩 내에 복수개의 단위 소자를 형성하는 경우 제1 및 제2 도전체 패턴(510, 511)과 제3 도전체 패턴(512)의 제1 영역은 단위 소자(2점 쇄선으로 표시함)당 각각 하나씩 배치되도록 복수개를 연속적으로 형성하며, 공통 전극과 연결되는 제3 도전체 패턴(512)의 제2 영역은 단위 소자들을 가로질러 연결되도록 형성한다. 또한 제1 및 제2 도전체 패턴(510, 511)의 대향하는 일 단부와 제3 도전체 패턴(512) 제2 영역의 양 단부는 외부로 노출되어 외부 단자(530 내지 532)와 연결될 수 있도록 형성한다.
- <140> 상기와 같이 각 도전체 패턴이 형성된 제1 내지 제3 시트(501 내지 503)는 제1 시트(501), 제3 시트(503), 제2 시트(502)의 순서대로 하나씩 적층하고, 그 위에는 더미시트(500)를 적층한다. 이와 달리 원하는 커패시턴스 값을 갖도록 제1 내지 제3 시트(501 내지 503)가 하나 이상씩 적층된 칩 소자일 수 있으며, 이들 시트가 다양한 조합으로 복수 개로 적층하여

소자의 커패시턴스 값을 조절할 수도 있다. 즉, 도5a와 같이 도전체 패턴의 면적이 넓은 2개의 상기 제1 시트 사이에 제3 시트가 적층된 제1 적층체와 도전체 패턴의 면적이 좁은 2개의 상기 제2 시트 사이에 제3 시트가 적층된 제2 적층체가 서로 적층시킬 수 있다.

<141> 상기와 같이 적층되고 압착된 적층물은 실시예 1과 같은 방법으로 적절한 크기로 절단 및 소성된다. 이때 소성된 적층물에 각 도전체 패턴과 연결되는 외부 전극을 형성하여 소자를 제조할 수 있으며, 또한 하기에서 설명하는 바와 같이 저항 성분을 추가로 결합시킬 수 있다.

<142> 상기와 같이 소성된 상기 적층물에 실시예 1의 여러 가지 방법과 같은 방법으로 저항체 패턴(550)을 형성하고, 저항체 패턴 및 도전체 패턴과 연결되는 외부 단자를 실시예 1과 같은 방법으로 형성하여 적층 칩을 완성한다.

<143> 상기와 같이 제조된 적층칩의 제1 및 제2 시트(501, 502)에는 각 단위 소자의 양 대향 단부를 가로지르는 제1 및 제2 도전체 패턴(510, 511)이 각 소자마다 하나씩 모두 4개가 병렬로 형성되며, 제3 시트(503, 504)에는 제1 도전체 패턴과 동일 방향으로 형성된 제1 영역과, 상기 제1 도전체 패턴과 교차하는 방향으로 상기 제1 영역의 일 단부와 연결되어 형성된 제2 영역으로 구성된 제3 도전체 패턴(512)이 형성된다. 적층된 시트 상부에는 상기 제1 도전체 패턴과 동일 방향으로 저항체 패턴(550)이 형성된다. 또한 제1 및 제2 도전체 패턴(510, 511)의 일 단부와 각각 연결되는 제1 및 제2 외부 단자(530, 531)는 입출력 단자(신호 전극)이며, 상기 입출력 단자는 저항체 패턴(550)의 양 단부와도 연결된다. 제3 도전체 패턴(512) 제2 영역의 양 단부에 각각 연결되는 제3 외부 단자(532)는 공통 단자(접지 전극)이다. 이 경우, 공통 단자는 제3 도전체 패턴(512) 제2 영역의 일 단부에 연결될 수도 있다.

<144> 본 실시예는 각 시트의 도전체 패턴 들이 중첩되는 영역에 커패시턴스가 발생하여 저항체 패턴(550)의 양단에 각각 커패시터가 공통단자와 연결된 구조라는 점에서 상기의 실시예들과 구조 및 특성이 유사하나, 도5a와 같이 도전체 패턴의 면적이 넓은 2개의 상기 제1 시트 사이에 제3 시트가 적층된 제1 적층체와 도전체 패턴의 면적이 좁은 2개의 상기 제2 시트 사이에 제3 시트가 적층된 제2 적층체를 적층하고 제1 적층체의 도전체 패턴을 입력단자와 연결하고 제2 적층체의 도전체 패턴을 출력단자 연결하는 경우 입력단 쪽 커패시터(C1)의 정전용량 및 등가인덕턴스값은 크게되고 출력단 쪽 커패시터(C2)의 정전용량 및 등가인덕턴스값은 작게되어 도5b에 표시하였듯이 두개의 커패시턴스 값에 의해 두 번 나타나는 자기 공진 주파수간의 간격이 넓어지므로 노이즈 제거 주파수 대역을 더욱더 넓힐 수 있게 된다.

<145> [실시예 6]

<146> 도6a 내지 도6b에 도시된 본 실시예 6은, 신호 입출력 단자와 연결되는 도전체 패턴과 공통 단자와 연결되는 도전체 패턴을 동일 시트 상에 형성하여 커패시턴스 값을 다양하게 변화시킬 수 있는 구조이다.

<147> 도6a는 4개의 단위 소자가 하나의 칩으로 제조된 본 실시예에 따른 적층 칩 소자의 제조 공정을 나타내는 제조 공정도이다.

<148> 원하는 소자용 성형 시트는 실시예 1과 동일한 방법으로 제조된다.

<149> 제조된 시트 위에 특수하게 설계된 내부전극 패턴의 스크린을 이용하여 스크린 프린팅(screen printing) 등의 방법으로 Ag, Pt, Pd 등의 도전성 페이스트(Paste)를 인쇄하여 도전체 패턴을 형성한다. 즉, 시트의 양 대향 단부 측에 각각 이격되어 형성된 제1 영역(610a) 및 제2 영역(610b)과, 상기 이들 영역과 이격되고 이들 사이에서 상기 양 대향 단부를 연결하는 방향

과 교차하는 방향으로 형성된 제3 영역(610c)으로 구성된 제1 도전체 패턴(610)을 형성하여 제1 시트(601)를 제조한다. 이때 제1 영역(610a) 및 제2 영역(610b)의 시트 끝단 쪽의 일 단부와 상기 제3 영역(610c)의 양 단부는 외부 단자와 연결될 수 있도록 형성한다. 이때 제1 및 제2 도전체 패턴(610, 611)의 폭은 서로 다르게 형성될 수 있다.

<150> 또한 상기 제1 시트(601)의 제1 도전체 패턴(610)의 제1 영역(610a) 및 제3 영역(610c)의 일부와 중첩되는 제4 영역(611a)과, 상기 제1 시트(601)의 제1 도전체 패턴(610)의 제3 영역(610c) 및 제2 영역(610b)의 일부와 중첩되는 제5 영역(611b)으로 구성되며 외부 단자와는 절연되는 제2 도전체 패턴(611)을 형성하여 제2 시트(602)를 제조한다.

<151> 단일칩 내에 복수개의 단위 소자를 형성하는 경우 제1 도전체 패턴(610)의 제1 영역(610a), 제2 영역(610b) 및 제2 도전체 패턴(611)은 단위 소자(2점 선회선으로 표시함)당 하나씩 배치되도록 복수개를 연속적으로 형성하며, 공통 전극과 연결되는 제1 도전체 패턴(610)의 제3 영역(610c)은 단위 소자들을 가로질러 연결되도록 형성한다.

<152> 상기와 같이 각 도전체 패턴이 형성된 제1 및 제2 시트(601, 602)는 원하는 적층 수만큼 교호로 적층되고, 그 위에는 더미시트(600)가 적층된다. 즉, 원하는 커패시턴스 값을 갖도록 제1 및 제2 시트(601, 602)가 하나씩 적층될 수 있으며, 이들 시트가 다양한 조합으로 복수 개로 적층되어 단일 칩을 이룰 수도 있다. 즉, 상기 시트의 적층 수를 조절하여 소자의 커패시턴스 값을 조절할 수도 있다.

<153> 상기와 같이 적층되고 압착된 적층물을 실시예 1과 같은 방법으로 적절한 크기로 절단 및 소성된다.

- <154> 소성된 상기 적층물에 실시예 1의 여러 가지 방법과 같은 방법으로 저항체 패턴(650)을 형성하고, 저항체 패턴 및 도전체 패턴과 연결되는 외부 단자를 실시예 1과 같은 방법으로 형성하여 적층 칩을 완성한다.
- <155> 상기와 같이 제조된 적층칩은 우선, 제1 시트(601)와 제2 시트(602)가 하나씩만 적층된 각 단위 소자에는 양 대향 단부 측에 각각 이격되어 형성된 제1 영역(610a) 및 제2 영역(610b)과, 상기 이들 영역과 이격되고 이들 사이에서 상기 양 대향 단부를 연결하는 방향과 교차하는 방향으로 형성된 제3 영역(610c)으로 구성된 제1 도전체 패턴(610)이 형성된다. 상기 제1 영역(610a) 및 제2 영역(610b)의 일 단부는 각각 입출력 단자인 제1 및 제2 외부 단자(630, 631)와 연결되고, 상기 제3 영역(610c)의 양 단부는 공통 단자인 제3 외부 단자(632)와 연결된다. 이 경우, 공통 단자는 제3 영역(610c)의 일 단부에 연결될 수 있다. 또한 제2 시트(602)에는 상기 제1 영역(610a) 및 제3 영역(610c)의 일부가 서로 중첩되는 제4 영역(611a)과, 제3 영역(610c) 및 제2 영역(610b)의 일부가 서로 중첩되는 제5 영역(611b)으로 구성되며 외부 전극과는 절연되는 부유층으로 제2 도전체 패턴(611)이 형성된다.
- <156> 상기 제1 영역(610a) 및 제3 영역(610c)의 일부는 각각 제4 영역(611a)과 중첩되어 두 개의 중첩 영역이 형성되고, 상기 제3 영역(610c) 및 제2 영역(610b)의 일부는 각각 제5 영역(611b)과 중첩되어 두 개의 중첩 영역을 이룬다. 상기 중첩 영역에서는 그 면적에 대응하는 각각의 커패시턴스 값이 형성되어 입력 단자를 나타내는 a와 연결된 제1 영역(610a)과 공통 단자로 사용되는 제3 영역(610c) 사이에 두 개의 커패시턴스(C31, C32)가 형성되어 이들은 직렬로 연결되고, 상기 출력 단자를 나타내는 b와 연결된 제2 영역(610b)과 공통 단자로 사용되는 제3 영역(610c) 사이에도 역시 두 개의 커패시턴스(C41, C42)가 형성되어 이들은 직렬로 연결된다.

또한 적층된 시트 상부에는 상기 양 대향 단부를 가로지르는 방향으로 저항체 패턴(650)이 형성되어 저항 성분으로 작용한다. 이를 등가회로도로 나타내면 도6b와 같다.

<157> 이와 같은 방법으로 만들어진 적층 칩 소자는 도6b에 나타내었듯이 입력단과 출력단에 다수의 커패시턴스 값이 구성된다. 이러한 구조의 커패시터는 입력단과 출력단에 다수의 커패시터가 필요한 경우 설계할 수 있는 구조이다. 또한, 제1 시트(601) 및 제2 시트(602)를 적층하여 직렬로 연결되는 커패시터를 발생시키는 경우 전체 커패시턴스 값이 감소하는 효과가 나타나므로, 동일한 커패시턴스 값을 얻기 위한 내부 적층수가 증가하여 등가직렬저항을 낮추게 되고 삽입손실 등의 주파수 특성을 향상시킬 수 있다.

<158> 상기의 실시예 1 내지 6에서는 저항체 패턴 형성한 저항용 시트를 단일 층 형성하였으나, 저항값의 조절을 위해 저항체 패턴을 형성한 저항용 시트를 복수개 적층할 수 있으며, 저항체 패턴의 면적을 다양하게 변화시킬 수도 있다.

<159> [실시예 7]

<160> 도7a 내지 도7e에 도시된 본 실시예 7은 상기 실시예 3과 유사하나, 더미시트상에 저항체 패턴을 형성하는 대신 인덕터 패턴을 형성한다는 점이 상이하다.

<161> 도7a는 4개의 단위 소자가 하나의 칩으로 제조된 본 실시예에 따른 적층 칩 소자의 제조 공정을 나타내는 제조 공정도이다.

<162> 원하는 소자용 성형 시트는 실시예 1과 동일한 방법으로 제조된다.

<163> 제조된 시트 위에 특수하게 설계된 내부전극 패턴의 스크린을 이용하여 스크린 프린팅(screen printing) 등의 방법으로 Ag, Pt, Pd 등의 도전성 페이스트(Paste)를 인쇄하여 도전체 패턴을 형성한다. 즉, 시트의 양 대향 단부를 가로지르는 제1 도전체 패턴(710)을 형성하여 제

1 시트(701)를 제조하고, 상기 제1 도전체 패턴(710)과 동일한 방향으로 제2 도전체 패턴(711)을 형성하여 제2 시트(702)를 제조하고, 상기 제1 도전체 패턴(710)과 교차하는 방향으로 양대향 단부를 가로지르는 제3 도전체 패턴(712)을 형성하여 제3 시트(703)를 제조한다. 이때 제1 및 제2 도전체 패턴(710, 711)의 폭은 서로 다르게 형성될 수 있다.

<164> 단일칩 내에 단위 소자를 복수개 형성하는 경우 제1 도전체 패턴(710) 및 제2 도전체 패턴(711)은 단위 소자(2점 쇄선으로 표시함)당 각각 하나씩 배치되도록 복수개를 연속적으로 형성하며, 공통 전극과 연결되는 제3 도전체 패턴(712)은 단위 소자들을 가로질러 연결되도록 형성한다. 또한 제1 및 제2 도전체 패턴(710, 711)의 대향하는 일 단부와 제3 도전체 패턴(712)의 양 단부는 외부로 노출되어 외부 단자(730 내지 732)와 연결될 수 있도록 형성한다.

<165> 상기와 같이 각 도전체 패턴이 형성된 제1 내지 제3 시트(301 내지 303)는 제1 시트(701), 제3 시트(703), 제2 시트(702)의 순서대로 적층되고, 그 위에는 더미시트(700)가 적층된다. 본 실시예는 제1, 제2, 및 제3 시트를 다양한 조합으로 복수 개로 적층하여 단일 칩을 이룰 수도 있다.

<166> 상기와 같이 적층되고 압착된 적층물을 실시예 1과 같은 방법으로 적절한 크기로 절단 및 소성된다.

<167> 소성된 상기 적층물의 최상부에 있는 더미시트(700) 위에 페라이트 패턴(740)을 인쇄한 후 인덕터 패턴(750)을 형성한다(도7a의 (c)). 상기 인덕터 패턴(750)은 나선형 패턴일 수 있고, 중심축 단부를 외측으로 연장하기 위하여 상기 중심축 단부에서 시트의 단부를 연결하는 절연체 페이스트(780)을 형성한 후(도7a의 (d)), 상기 절연체 페이스트(780) 상에 가교 패턴(770)을 형성할 수 있다(도7a의 (e)). 이와 같은 나선형 인덕터는 도7b의 평면도에 도시되어 있다.

- <168> 이러한 인덕터 패턴은 별도의 시트에 형성될 수 있다. 즉, 상기와 같은 인덕터 패턴이 형성된 페라이트 시트 등 인덕터용 시트를 제1 내지 제3 시트와 함께 적층, 절단하고 동시에 소성할 수 있다. 이때 적층된 시트의 최상부에는 패턴 보호를 위한 절연체 패턴을 형성하거나, 최상부에 더미시트를 추가로 적층할 수 있고, 이러한 인덕터 패턴은 소자의 최상부 또는 최하부에 적층될 수 있다.
- <169> 상기와 같이 인덕터 패턴이 형성된 층에 도7a의 (f)와 같이 상기 인덕터 패턴(750)을 보호하기 위하여 절연체 패턴(760)을 형성한 후, 상기 인덕터 패턴(750) 및 도전체 패턴과 연결되는 외부 단자(730 내지 732)를 실시예 1과 같은 방법으로 형성하여 적층 칩을 완성한다.
- <170> 또는 상기와 같이 인덕터 패턴이 형성된 적층물의 외부에 내부의 각 도전체 패턴 및 인덕터 패턴과 연결되는 외부 단자를 먼저 형성한 후 인덕터 패턴의 표면에 에폭시나 유리등을 스크린 프린팅 등 방법으로 인쇄하고 열처리하여 절연 보호층을 형성할 수 있다.
- <171> 상기와 같이 제조된 인덕터 결합 적층칩은 제1 및 제2 시트(701, 702)에는 각 단위 소자의 양 대향 단부를 가로지르는 제1 및 제2 도전체 패턴(710, 711)이 각 소자마다 하나씩 모두 4개가 병렬로 형성되며, 제3 시트(703)에는 상기 양 대향 단부를 연결하는 방향과 교차하는 방향으로 제3 도전체 패턴(712)이 형성된다. 적층된 시트 상부에는 상기 각 단위소자에 대응하는 위치에 나선형의 인덕터 패턴(750)이 형성된다. 또한 제1 및 제2 도전체 패턴(710, 711)의 일 단부와 각각 연결되는 제1 및 제2 외부 단자(730, 731)는 입출력 단자(신호 전극)이며, 상기 입출력 단자는 인덕터 패턴(750)의 양 단부와도 연결된다. 제3 도전체 패턴(712)의 양 단부에 연결되는 제3 외부 단자(732)는 공통 단자(접지 전극)이다. 이 경우, 공통 단자는 제3 도전체 패턴(712)의 일 단부에 연결될 수 있다.

<172> 이때, 제1 및 제2 도전체 패턴(710, 711)과 제3 도전체 패턴 사이에 각각 중첩된 영역이 있다. 이때, 제1 및 제2 도전체 패턴(710, 711)의 폭이 서로 다를 수 있기 때문에 제1 도전체 패턴(710)과 제3 도전체 패턴(712)의 중첩되는 영역의 커패시턴스 값과 제2 도전체 패턴(711)과 제3 도전체 패턴(712)의 중첩되는 영역의 커패시턴스 값을 각각 C1, C2라 하면, 본 실시예의 칩 소자는 도7c의 등가회로도에 나타낸바와 같이 인덕터의 양단에 상기 C1 및 C2의 값을 가지는 커패시터가 공통단자와 연결된 구조가 된다.

<173> 상기에서는 인덕터 패턴을 나선형으로 제조하였으나 인덕터 패턴은 여러 가지로 변형할 수 있다. 예를 들면 도7d에 나타내었듯이 인덕터용 시트로 페라이트를 이용하여 그 위에 금속성 페이스트를 이용하여 일자형 도전체 패턴을 형성할 수 있다.

<174> 또한 상기에서는 동일한 시트 위에 단위소자에 대응하는 인덕터 패턴을 모두 형성하였으나, 칩크기가 작은 경우 복잡한 나선형의 인덕터 패턴을 형성하기 어렵고 금속 페이스트를 인쇄할 때도 인쇄해상도에 한계가 있어, 이를 해결하기 위해 도7e에 표시하였듯이 적층 칩의 상부면 및 하부면 모두를 활용하여 인덕터 패턴을 용이하게 형성할 수 있다. 즉, 도7e와 같이 예를 들면 병렬적으로 배치된 4개의 단위 소자를 단일 적층칩 내에 형성하는 경우 상부에는 제1 및 제3 열의 단위 소자와 연결되는 나선형 인덕터 패턴을 형성하고, 하부에는 제2 및 제4 열의 단위 소자와 연결되는 나선형 인덕터 패턴을 형성하여 나선형 패턴을 형성하는 면적을 증가시켜 인덕터 패턴을 용이하게 형성할 수 있다.

<175> 본 실시예에서는 인덕터용 시트의 하부 시트층을 상기 실시예 3의 적층물을 예로 들어 설명하였으나 인덕터용 하부 시트층은 상기의 실시예 1 내지 실시예 6의 적층물 위에 저항체 대신 상기와 동일한 방법으로 인덕터를 형성할 수 있다.

<176> [실시예 8]

- <177> 도8은 인덕터 결합 적층 칩의 다른 예로서 하나의 시트에 하나의 인덕터 패턴을 형성한 경우로 단일칩 내에 4개의 단위 소자를 형성한 적층 칩을 예를 들어 설명한다.
- <178> 우선, 상기의 실시예 7과 동일한 방법으로 인덕터 하부에 적층되는 제1 내지 제3 시트(801, 802, 803)를 제조한다.
- <179> 상기 실시예 1과 동일한 방법으로 인덕터용 시트를 제조하고, 시트 위에 인덕터 패턴을 형성한다. 즉, 시트 위에 민더형(Meander)의 인덕터 패턴(850a)을 형성하고 인덕터 패턴의 양 단부가 모두 제1열의 단위 소자(2점 쇄선으로 표시) 내에 위치하도록 구성된 제1 인덕터용 시트(840a)를 제조한다. 상기와 동일한 방법으로 민더형 인덕터 패턴(850b, 850c, 850d)이 형성된 제2 내지 제4 인덕터용 시트(840b, 840c, 840d)를 제조한다. 이때 각 인덕터 패턴의 양 단부는 각 단위 소자 내에 개별적으로 위치하도록 서로 이격되어 있다.
- <180> 본 실시예에 따른 적층 칩 소자는, 도8의 (a)에 도시된 바와 같이, 하부에 제1 내지 제3 시트(801, 802, 803)를 적층시키고 그 위에 인덕터용 시트들(840a, 840b, 840c, 840d)을 적층한 후 적층된 시트의 최상부에는 더미시트(800)를 적층시킨다.
- <181> 실제로 하나의 시트에 원하는 개수(본 실시예에서는 4개)의 소자에 해당하는 패턴만을 형성(인쇄)하지 않고, 동일한 패턴을 하나의 시트에 좌우로 복수개 형성하고 이들을 적층한 다음 절단하여 대량 생산에 적합하게 할 수 있다.
- <182> 상기와 같이 적층된 적층물은 상기 실시예와 동일한 방법으로 소성하고 외부 전극을 형성하여 적층 칩을 완성한다.
- <183> 상기와 같이 제조된 인덕터 결합 적층칩은 실시예 6과 동일한 도전체 패턴이 형성되며, 적층된 시트 상부에는 상기 각 단위소자에 대응하여 민더형의 인덕터 패턴(850)이 형성되며,

인덕터 패턴은 각각 입출력 단자에 연결된다. 즉 본 실시예의 적층 칩은 실시예 6과 유사한 구조를 가지나 도8에서 보여 주듯이 4개의 단위 소자가 하나의 칩에 제조될 때 각각의 인덕터용 시트(840a 내지 840d)마다 하나의 단위 소자에 대응하는 인덕터 패턴(850a 내지 850d)을 형성한 4개의 인덕터용 시트(840)가 적층되는 점에 차이가 있다. 본 실시예는 시트 한층 전체에 인덕터 패턴을 사용하므로 인덕턴스값을 증가시킬 수 있으며 원하는 인덕턴스값을 용이하게 얻을 수 있다.

<184> 또한 본 실시예에서는 하나의 인덕터용 시트에 하나의 인덕터 패턴을 형성하는 것을 예로 들어 설명하였으나, 필요에 따라 하나의 인덕터용 시트에 하나 이상의 인덕터 패턴을 형성할 수도 있고, 인덕터용 시트를 상부 외에 하부에 적층할 수 있으며 상하부 모두에 적층할 수도 있다.

<185> 상기에서는 인덕터 패턴을 민더형으로 제조하였으나 인덕터 패턴은 나선형 일자형 등 여러 가지로 변형할 수 있다.

<186> 본 실시예에서는 인덕터용 시트의 하부 시트층을 상기 실시예 3의 적층물을 예로 들어 설명하였으나 인덕터용 하부 시트층은 상기의 실시예 1 내지 실시예 6의 적층물 위에 저항체 대신 상기와 동일한 방법으로 인덕터를 형성할 수 있다.

<187> [실시예 9]

<188> 도9는 인덕터 결합 적층 칩의 다른 예로서 복수개의 인덕터용 시트에 천공 구멍을 이용하여 인덕터 패턴을 형성한 경우로 단일칩 내에 4개의 단위 소자를 형성한 적층 칩을 예를 들어 설명한다.

- <189> 우선, 상기의 실시예 7과 동일한 방법으로 인덕터 하부에 적층되는 제1 내지 제3 시트(901, 902, 903)를 제조한다.
- <190> 상기 실시예 1과 동일한 방법으로 인덕터용 시트를 제조하고, 시트 위에 인덕터 패턴을 형성한다. 즉, 시트 위에 소정 형상 예를 들면 "ㄷ"자형 인덕터 패턴(950a)을 형성하고 인덕터 패턴의 일 단부에는 천공 구멍(960)을 형성하며 나머지 일단부는 시트의 모서리까지 연장하여 제1 인덕터용 시트(940a)를 제조한다. 제1 인덕터용 시트(940a)의 인덕터 패턴과 반대 반향으로 "ㄷ"자형 인덕터 패턴(950c)을 형성하고 인덕터 패턴의 일 단부에는 천공 구멍(960)을 형성하며 나머지 일단부는 외부 단자와 연결되도록 시트의 모서리까지 연장하여 제2 인덕터용 시트(940c)를 제조한다. 이때 천공 구멍과 외부 단자와 연결되는 일 단부는 제1 인덕터용 시트(940a)의 천공 구멍과 일단부에 대향하는 방향에 제조한다. 시트 위에 소정형상의 인덕터 패턴(950b)을 형성하고 인덕터 패턴의 양 단부에 천공구멍을 형성한 제3 인덕터용 시트(940b)를 제조한다. 제조한 각 인덕터용 시트의 천공 구멍은 도전체로 충전 한다.
- <191> 상기와 같은 인덕터 패턴 및 천공 구멍은 천공 구멍을 먼저 형성한 후 도전체 페이스트를 이용하여 한번의 인쇄로 인덕터 패턴을 형성하며 천공 구멍도 동시에 충전할 수 있다.
- <192> 본 실시예에 따른 적층 칩 소자는, 도9의 (a)에 도시된 바와 같이, 하부에 제1 내지 제3 시트(901, 902, 903)를 적층시키고 그 위에 인덕터용 시트들(940a, 940b, 940c)을 적층한 후 적층된 시트의 최상부에는 더미시트(900)를 적층시킨다.
- <193> 이때 인덕터 패턴의 한쪽 단부가 외부 단자에 연결되는 제1 및 제2 인덕터용 시트(940a, 940c)의 사이에는 제3 인덕터용 시트(940b)를 복수개 적층할 수 있다. 이처럼 복수개의 인덕터용 시트를 적층함에 의해 각 층의 천공 구멍과 그 안에 충전된 도전체에 의해 인접한 상하부의 인덕터 패턴이 연결된다.

- <194> 실제로 하나의 시트에는 동일한 패턴을 하나의 시트에 좌우로 복수개 형성하고 이들을 적층한 다음 절단하여 대량 생산에 적합하게 할 수 있다.
- <195> 상기와 같이 적층된 적층물은 상기 실시예들과 동일한 방법으로 소성하고 외부 전극을 형성하여 적층 칩을 완성한다.
- <196> 상기와 같이 제조된 인덕터 결합 적층칩은 실시예 6과 유사한 구조를 가지나 도9에서 보여 주듯이 인덕터 성분을 제조하기 위해 복수개의 인덕터용 시트를 제조하고 인덕터용 시트를 관통하는 인덕터 패턴을 형성하는 점에 차이가 있다. 본 실시예는 인덕터용 시트의 적층 수를 변화시킴에 의해 다양한 인덕턴스값을 용이하게 얻을 수 있다.
- <197> 상기에서는 인덕터 패턴을 권선형으로 제조하였으나 인덕터 패턴은 도10의 분해 사시도에 도시된 것처럼 일자형 등 여러 가지로 변형할 수 있다. 즉, 도10은 인덕터 패턴을 일자형으로 단순화하고 천공 구멍을 통해 상기와 동일한 방법으로 인접한 상하부 인덕터 패턴을 연결시킨 구조이다. 이러한 적층 칩은 보다 단순하고 용이한 방법으로 인덕터 결합 적층칩을 제조할 수 있다.
- <198> 본 실시예에서는 인덕터용 시트의 하부 시트층을 상기 실시예 3의 적층물을 예로 들어 설명하였으나 인덕터용 하부 시트층은 상기의 실시예 1 내지 실시예 6의 적층물 위에 저항체 대신 상기와 동일한 방법으로 인덕터를 형성할 수 있다.
- <199> 이와 같이 제조된 적층 칩 소자는 인덕터 패턴(750)이 형성되어 인덕터 및 커패시터를 사용한 양호한 특성의 파이형 필터의 제조가 가능하다. 그리고 입출력단에 커패시턴스 값이 다르기 때문에 저대역 통과 필터로 사용하는 경우, 상기 두개의 커패시턴스 값에 의해 상기 소자

의 자기 공진 주파수가 두번 나타나게 된다. 이로서 고주파 노이즈에 대해서 제거할 수 있는 주파수 영역이 넓어지게 된다.

<200> 이상의 인덕터 결합 적층 칩에서 인덕터 패턴은 Ag, Pt, Pd 등의 금속 페이스트를 이용하여 제조하거나, Ni-Cr, RuO₂ 등의 저항성 페이스트를 이용하여 제조할 수 있다.

<201> 또한, 이상의 실시예들에서 상기 시트가 배리스터 시트이며, 도전체 패턴의 일부가 저항 성분인 경우는 저항과 배리스터가 결합된 저항-배리스터 적층 칩 소자가 되어 이상 전압이 소자 사이에 걸리게 되었을 때, 전류가 바로 공통 단자로 빠져 나가게 되어 소자를 보호하게 된다. 물론 상기 시트가 PTC 서미스터 시트 또는 NTC 서미스터 시트인 경우는 상기 적층 칩은 저항-서미스터 적층 칩이 되어 과전류나 급격한 온도변화 발생시 소자를 보호하게 된다.

<202> 그리고 상기 도전체 패턴의 일부는 Ag, Pt, Pd 등의 금속 패턴을 포함하여 도전율을 높일 수 있으며, Ni-Cr 또는 RuO₂ 등의 저항체 패턴을 포함하여 도전율을 낮출 수도 있다. 이로서 회로의 임피던스 매칭을 자유롭게 할 수 있다.

<203> 한편, 상기한 바와 같이 적층 칩 소자를 제조하는 기술은 상기의 예시된 소자 외에 내부 도전체 패턴 및 적층 순서를 변화시켜 여러 가지 소자를 적층형 칩 부품 소자로 제조할 수 있다.

【발명의 효과】

<204> 상기와 같은 구성에 의한 본 발명의 적층 칩 소자는, 다양한 용량의 커패시턴스의 값을 원하는 대로 조절할 수 있고, 노이즈 제거, 삽입 손실 등의 특성을 향상시킬 수 있으며, 반도체 집적 회로 등의 중요 전자 부품을 과전압 및 정전기로부터 효과적으로 보호할 수 있다.

- <205> 또한 본 발명은 커패시턴스값, 저항값 및 인덕턴스값을 소자의 용도에 따라 다양하게 조절할 수 있다.
- <206> 또한 본 발명은 별도의 추가 공정 없이 저항 성분 또는 인덕터 성분을 각각의 소자에 결합시켜 저항 또는 인덕터가 결합된 복합 적층 칩을 제조할 수 있으며, 별도의 공정 추가 없이 단순한 공정에 의해 원하는 전기적 특성을 구현하는 경박 단순화된 소형의 적층 칩 소자 및 어레이 칩을 용이하게 제조할 수 있다.
- <207> 또한 본 발명과 같은 적층 칩 소자의 제조 방법은 별도의 공정 추가 없이 단순한 공정에 의해 제조되므로 공정 단가를 감소시키는 효과가 있다.

【특허청구범위】**【청구항 1】**

양 대향 단부 측에 각각 이격된 제1 및 제2 도전체 패턴이 형성된 제1 시트와,

상기 양 대향 단부를 연결하는 방향에 교차하는 방향으로 제3 도전체 패턴이 양 대향 단부를 가로질러 형성된 제2 시트를 포함하고,

상기 제1 및 제2 도전체 패턴의 일 단부는 각각 제1 및 제2 외부 단자에 연결되고, 상기 제2 도전체 패턴의 적어도 일 단부는 제3 외부 단자에 연결되고, 상기 제1 시트 및 제2 시트는 적층된 것을 특징으로 하는 적층 칩 소자.

【청구항 2】

제1항에 있어서, 상기 제1 시트 및 제2 시트 중 적어도 어느 한 시트는 복수개인 것을 특징으로 하는 적층 칩 소자.

【청구항 3】

제1항에 있어서, 상기 제2 시트는 두 개가 연속하여 적층된 것을 특징으로 하는 적층 칩 소자.

【청구항 4】

양 대향 단부 측에 각각 이격된 제1 및 제2 도전체 패턴이 형성된 제1 시트와,

서로 이격되며 상기 양 대향 단부를 연결하는 방향과 교차하는 방향으로 형성된 제1 영역 및 제2 영역으로 구성된 제3 도전체 패턴이 형성된 제2 시트를 포함하고,

상기 제1 및 제2 도전체 패턴의 일 단부는 각각 제1 및 제2 외부 단자에 연결되고, 상기 제3 도전체 패턴의 제1 및 제2 영역의 대향하는 일 단부는 각각 제3 및 제4 외부 단자에 연결되고, 상기 제1 시트 및 제2 시트는 적층된 것을 특징으로 하는 적층 칩 소자.

【청구항 5】

제4항에 있어서, 상기 제1 시트 및 제2 시트 중 적어도 어느 한 시트는 복수개인 것을 특징으로 하는 적층 칩 소자.

【청구항 6】

제4항에 있어서, 상기 제2 시트는 연속하여 적층된 것을 특징으로 하는 적층 칩 소자.

【청구항 7】

양 대향 단부를 가로지르는 방향으로 형성된 제1 도전체 패턴이 형성된 제1 시트와,

상기 양 대향 단부를 연결하는 방향과 교차하는 방향으로 제2 도전체 패턴이 양 대향 단부를 가로질러 형성된 제2 시트를 포함하고,

상기 제1 도전체 패턴의 일 단부는 제1 또는 제2 외부 단자에 연결되고, 상기 제2 도전체 패턴의 적어도 일 단부는 제3 외부 단자에 연결되고, 제1 및 제2 시트는 적층된 것을 특징으로 하는 적층 칩 소자.

【청구항 8】

제7항에 있어서, 상기 제1 시트와 제2 시트 중 적어도 어느 한 시트는 복수개인 것을 특징으로 하는 적층 칩 소자.

【청구항 9】

제7항에 있어서, 상기 제2 시트는 두개의 시트가 연속하여 적층된 것을 특징으로 하는 적층 칩 소자.

【청구항 10】

양 대향 단부를 가로지르는 방향으로 형성된 제1 도전체 패턴이 형성된 제1 시트와,
상기 제1 도전체 패턴과 동일한 방향으로 제2 도전체 패턴이 형성된 제2 시트와,
상기 양 대향 단부를 연결하는 방향과 교차하는 방향으로 제3 도전체 패턴이 양 대향 단부를 가로질러 형성된 제3 시트를 포함하고,

상기 제1 및 제2 도전체 패턴의 대향하는 각각의 일 단부는 각 시트의 대응하는 일 단부의 모서리까지 연장하여 제1 및 제2 외부 단자에 연결되고, 상기 제3 도전체 패턴의 적어도 일 단부는 제3 외부 단자에 연결되고, 상기 제3 시트는 제1 시트와 제2 시트 사이에 배치된 것을 특징으로 하는 적층 칩 소자.

【청구항 11】

제10항에 있어서, 상기 제1 시트와 제2 시트 중 어느 한 시트는 복수개인 것을 특징으로 하는 적층 칩 소자.

【청구항 12】

제10항에 있어서, 상기 제3 시트는 두개의 시트가 연속하여 적층된 것을 특징으로 하는 적층 칩 소자.

【청구항 13】

양 대향 단부를 가로지르는 방향으로 형성된 제1 도전체 패턴이 형성된 제1 시트와,

상기 제1 도전체 패턴과 동일한 방향으로 제2 도전체 패턴이 형성된 제2 시트와,

상기 양 대향 단부를 연결하는 방향과 교차하는 방향으로 제3 및 제4 도전체 패턴이 형성된 제3 및 제4 시트를 포함하고,

상기 제1 및 제2 도전체 패턴의 대향하는 각각의 일 단부는 각 시트의 대응하는 일단부의 모서리까지 연장하여 제1 및 제2 외부 단자에 연결되고, 상기 제3 및 제4 도전체 패턴의 대향하는 각각의 일 단부는 각 시트의 대응하는 일단부의 모서리까지 연장하여 제3 및 제4 외부 단자에 연결되고, 상기 제3 시트 및 제4 시트는 제1 시트와 제2 시트 사이에 배치된 것을 특징으로 하는 적층 칩 소자.

【청구항 14】

양 대향 단부를 가로지르는 방향으로 제1 도전체 패턴이 형성된 제1 시트와,

상기 제1 도전체 패턴과 동일한 방향으로 제2 도전체 패턴이 형성된 제2 시트와,

상기 제1 도전체 패턴과 동일 방향으로 시트의 양 대향 단부의 모서리와 이격된 제3 도전체 패턴이 형성된 제3 시트를 포함하고,

상기 제1 및 제2 도전체 패턴의 대향하는 각각의 일 단부는 각 시트의 대응하는 일 단부의 모서리까지 연장하여 제1 및 제2 외부 단자에 연결되고, 상기 제3 도전체 패턴은 상기 제1 및 제2 외부 단자와 다른 위치에 있는 제3 외부 단자에 연결되고,

상기 제3 시트는 제1 시트와 제2 시트 사이에 배치된 것을 특징으로 하는 적층 칩 소자.

【청구항 15】

양 대향 단부를 가로지르는 방향으로 제1 도전체 패턴이 형성된 제1 시트와,

상기 제1 도전체 패턴과 동일한 방향으로 제2 도전체 패턴이 형성된 제2 시트와,

상기 제1 도전체 패턴과 동일 방향으로 양 대향 단부의 모서리와 이격된 제3 도전체 패턴이 형성된 제3 시트를 포함하고,

상기 제1 및 제2 도전체 패턴의 대향하는 각각의 일 단부는 각 시트의 대응하는 일 단부의 모서리까지 연장하여 제1 및 제2 외부 단자에 연결되고, 상기 제3 도전체 패턴은 상기 제1 및 제2 외부 단자와 다른 위치에 있는 제3 외부 단자에 연결되고,

2개의 상기 제1 시트 사이에 제3 시트가 적층된 제1 적층체와 2개의 상기 제2 시트 사이에 제3 시트가 적층된 제2 적층체가 서로 적층된 것을 특징으로 하는 적층 칩 소자.

【청구항 16】

양 대향 단부 측에 각각 이격되어 형성된 제1 및 제2 영역과, 상기 이들 영역과 이격되고 이들 사이에서 상기 양 대향 단부를 연결하는 방향과 교차하는 방향으로 양 대향 단부를 가로질러 형성된 제3 영역으로 구성된 제1 도전체 패턴이 형성된 제1 시트와,

상기 제1 및 제3 영역의 일부와 중첩되고 상기 제2 및 제3 영역의 일부와 중첩되며 서로 이격된 제4 및 제5 영역으로 구성된 제2 도전체 패턴이 형성된 제2 시트와,

상기 제1도전체 패턴의 제1 및 제2 영역을 가로지르는 방향으로 저항체 패턴이 형성된 저항용 시트를 포함하고,

상기 제1 도전체 패턴의 양 대향 단부는 각각 제1 및 제2 외부 단자에 연결되고, 상기 제2 도전체 패턴의 적어도 일 단부는 제3 외부 단자에 연결되고,

상기 제1 시트, 제2 시트 및 저항용 시트가 적층되며 상기 저항용 시트는 상기 적층된 시트의 최상부 또는 최하부에 배치되고, 상기 저항체 패턴은 각각 제1 및 제2 외부 단자와 연결된 것을 특징으로 하는 적층 칩 소자.

【청구항 17】

제16항에 있어서, 상기 저항용 시트의 저항체 패턴의 양 단부에 금속 패드가 포함되어 형성된 것을 특징으로 하는 적층 칩 소자.

【청구항 18】

양 대향 단부 측에 각각 이격되어 형성된 제1 및 제2 영역과, 상기 이들 영역과 이격되고 이들 사이에서 상기 양 대향 단부를 연결하는 방향과 교차하는 방향으로 양 대향 단부를 가로질러 형성된 제3 영역으로 구성된 제1 도전체 패턴이 형성된 제1 시트와,

상기 제1 및 제3 영역의 일부와 중첩되고 상기 제2 및 제3 영역의 일부와 중첩되며 서로 이격된 제4 및 제5 영역으로 구성된 제2 도전체 패턴이 형성된 제2 시트와,
소정의 인덕턴스 값을 갖는 인덕터 패턴이 형성된 인덕터용 시트를 포함하고,

상기 제1 도전체 패턴의 양 대향 단부는 각각 제1 및 제2 외부 단자에 연결되고, 상기 제2 도전체 패턴의 적어도 일 단부는 제3 외부 단자에 연결되고,
상기 제1 시트, 제2 시트, 인덕터용 시트는 적층되고 상기 인덕터용 시트는 상기 적층된 시트의 최상부 또는 최하부에 배치되고, 상기 인덕터 패턴의 양 단부는 대응하는 제1 및 제2 외부 단자에 연결되는 것을 특징으로 하는 적층 칩 소자.

【청구항 19】

제16항 내지 제18항 중 어느 한 항에 있어서, 상기 제1 및 제2 시트 중 적어도 하나의 시트는 복수개인 것을 특징으로 하는 적층 칩 소자.

【청구항 20】

제1항 내지 제15항 중 어느 한 항에 있어서, 상기 제1 및 제2 도전체 패턴은 면적이 다른 것을 특징으로 하는 적층 칩 소자.

【청구항 21】

제1항 내지 제18항 중 어느 한 항에 있어서, 상기 적층 칩 소자는 복수개가 병렬로 배치되어 단일칩 내에 어레이형으로 제조된 적층 칩 소자.

【청구항 22】

제1항 내지 제15항 중 어느 한 항에 있어서, 제1 및 제2 외부 단자와 연결되는 방향으로 저항체 패턴이 형성된 저항용 시트를 포함하고,
상기 저항용 시트는 상기 적층된 시트의 최상부 또는 최하부에 적층되고, 상기 저항체 패턴의 양 단부는 각각은 제1 및 제2 외부 단자와 연결된 것을 특징으로 하는 적층 칩 소자.

【청구항 23】

제22항에 있어서, 상기 저항용 시트의 저항체 패턴의 양 단부에 금속 패드가 포함되어 형성된 것을 특징으로 하는 적층 칩 소자.

【청구항 24】

제22항에 있어서, 상기 저항용 시트는 복수개가 포함되어 형성된 것을 특징으로 하는 적층 칩 소자.

【청구항 25】

제22항에 있어서, 상기 적층된 시트의 최상부 층에는 절연층이 형성된 것을 특징으로 하는 적층 칩 소자.

【청구항 26】

제22항에 있어서, 상기 저항체 패턴은 Ni-Cr 또는 RuO₂을 포함하는 것을 특징으로 하는 적층 칩 소자.

【청구항 27】

제22항에 있어서, 상기 적층 칩 소자는 복수개가 병렬로 배치되어 단일칩 내에 어레이형으로 제조된 적층 칩 소자.

【청구항 28】

제1항 내지 제15항 중 어느 한 항에 있어서, 소정의 인덕턴스 값을 갖는 인덕터 패턴이 형성된 인덕터용 시트를 포함하고,

상기 인덕터용 시트는 상기 적층된 시트의 최상부 또는 최하부에 적층되고, 상기 인덕터 패턴의 양 단부는 대응하는 제1 및 제2 외부 단자에 연결된 것을 특징으로 하는 적층 칩 소자.

【청구항 29】

제28항에 있어서, 상기 인덕터용 시트의 인덕터 패턴의 양 단부에 금속 패드가 포함되어 형성된 것을 특징으로 하는 적층 칩 소자.

【청구항 30】

제28항에 있어서, 상기 적층된 시트의 최상부 층에는 보호층이 형성된 것을 특징으로 하는 적층 칩 소자.

【청구항 31】

제28항에 있어서, 상기 적층 칩 소자는 복수개가 병렬로 배치되어 단일칩 내에 어레이형으로 제조된 적층 칩 소자.

【청구항 32】

제28항에 있어서, 상기 인덕터 패턴은 나선형 패턴이고, 나선형 패턴의 양 단부가 각각 제1 및 제2 외부 단자에 연결된 것을 특징으로 하는 적층 칩 소자.

【청구항 33】

제32항에 있어서, 상기 나선형 패턴 상에는 반지름 방향으로 보호층이 형성되고, 상기 보호층 상에는 나선형 패턴의 중심축 단부를 외측으로 연장하기 위한 가교 패턴을 포함하는 것을 특징으로 하는 적층 칩 소자.

【청구항 34】

제28항에 있어서, 상기 인덕터용 시트가 페라이트 시트를 포함하는 것을 특징으로 하는 적층 칩 소자.

【청구항 35】

제34항에 있어서, 상기 페라이트 시트를 다른 적층 시트와 동시에 소성하여 제조하는 것을 특징으로 하는 적층 칩 소자.

【청구항 36】

제28항에 있어서, 상기 인덕터 패턴은 Ag, Pt, Pd 등의 금속 패턴을 포함하는 것을 특징으로 하는 적층 칩 소자.

【청구항 37】

제28항에 있어서, 상기 인덕터 패턴은 Ni-Cr, RuO₂ 등의 저항체 패턴을 포함하는 것을 특징으로 하는 적층 칩 소자.

【청구항 38】

제1항 내지 제15항 중 어느 한 항에 있어서, 상기 적층 칩 소자는 복수개가 병렬로 배치되고, 소정의 인덕턴스 값을 갖는 인덕터 패턴이 형성된 복수개의 인덕터용 시트를 포함하고,

상기 적층된 복수의 인덕터용 시트에 형성된 인덕터 패턴의 양 단부는 각각의 시트마다 소정의 거리만큼 이격되고,

상기 인덕터용 시트는 상기 적층된 시트의 최상부 또는 최하부에 적층되고, 상기 인덕터 패턴의 양 단부는 대응하는 소자의 제1 및 제2 외부 단자에 각각 연결된 것을 특징으로 하는 적층 칩 소자.

【청구항 39】

제38항에 있어서, 상기 인덕터 패턴은 나선형 또는 민더형 패턴으로 형성된 것을 특징으로 하는 적층 칩 소자.

【청구항 40】

제38항에 있어서, 상기 하나의 인덕터용 시트 상에 하나 이상 인덕터 패턴이 형성된 것을 특징으로 하는 적층 칩 소자.

【청구항 41】

제1항 내지 제15항 중 어느 한 항에 있어서,

상기 적층된 시트의 상부 또는 하부에는 인덕터 패턴이 형성된 복수개의 시트를 포함하는 인덕터용 시트가 적층되고,

상기 복수개의 인덕터용 시트는 인접하는 인덕터용 시트의 인덕터 패턴이 천공 구멍을 통해 연결되는 것을 특징으로 하는 적층 칩 소자.

【청구항 42】

제41항에 있어서,

상기 복수개의 인덕터용 시트는 소정 형상의 제1 인덕터 패턴이 형성되고 제1 인덕터 패턴의 일 단부에 도전체가 충전된 천공구멍이 형성되고 제1 인덕터 패턴의 다른 일 단부는 시트의 모서리까지 연장된 제1 인덕터용 시트와,

소정 형상의 제2 인덕터 패턴이 형성되고 제1 인덕터 패턴의 천공 구멍과는 대향되는 위치의 제2 인덕터 패턴의 일 단부에 도전체가 충전된 천공구멍이 형성되고 제2 인덕터 패턴의 다른 일 단부는 시트의 모서리까지 연장된 제2 인덕터용 시트와,

소정 형상의 제3 인덕터 패턴이 형성되고 제3 인덕터 패턴의 양 단부에 도전체가 충전된 천공 구멍이 형성된 제3 인덕터용 시트를 포함하고,

상기의 제1 인덕터용 시트와 제2 인덕터용 시트 사이에 제3 인덕터용 시트가 적층되고 제1 인덕터 패턴과 제2 인덕터 패턴은 일단부는 제1 및 제2 외부 단자와 연결된 것을 특징으로 하는 적층 칩 소자.

【청구항 43】

제42항에 있어서, 상기 제3 인덕터용 시트는 복수개인 것을 특징으로 하는 적층 칩 소자.

【청구항 44】

제41항에 있어서, 상기 복수의 인덕터용 시트위에 형성된 인덕터 패턴은 상기 제1 및 제 2 외부 단자를 연결하는 방향으로 형성된 것을 특징으로 하는 적층 칩 소자.

【청구항 45】

제41항에 있어서, 상기 천공 구멍 내의 도전체에 의해 서로 연결된 상기 인덕터 패턴은 나선형인 것을 특징으로 하는 적층 칩 소자.

【청구항 46】

제41항에 있어서, 상기 적층 칩 소자는 복수개가 병렬로 배치되어 단일칩 내에 어레이형으로 제조된 적층 칩 소자.

【청구항 47】

제1항 내지 제18항 중 어느 한 항에 있어서, 상기 시트는 세라믹 시트를 포함하는 것을 특징으로 하는 적층 칩 소자.

【청구항 48】

제1항 내지 제18항 중 어느 한 항에 있어서, 상기 시트는 배리스터 시트를 포함하는 것을 특징으로 하는 적층 칩 소자.

【청구항 49】

제1항 내지 제18항 중 어느 한 항에 있어서, 상기 시트는 PTC 서미스터 시트를 포함하는 것을 특징으로 하는 적층 칩 소자.

【청구항 50】

제1항 내지 제18항 중 어느 한 항에 있어서, 상기 시트는 NTC 서미스터 시트를 포함하는 것을 특징으로 하는 적층 칩 소자.

102 52562

출력 일자: 2004/7/22

【도면】

【도 1a】

102 52562

출력 일자: 2004/7/22

【도 1b】

【도 1c】

【도 1d】

102 52562

출력 일자: 2004/7/22

【도 2a】

102  2562

출력 일자: 2004/7/22

【도 2b】

102 52562

출력 일자: 2004/7/22

【도 3】

102  52562

출력 일자: 2004/7/22

【도 4a】

102  52562


출력 일자: 2004/7/22

【도 4b】

102  52562


출력 일자: 2004/7/22

【도 5a】

102  2562

출력 일자: 2004/7/22

【도 5b】

102  52562

출력 일자: 2004/7/22

【도 6a】

102 52562

출력 일자: 2004/7/22

【도 6b】

102 52562

출력 일자: 2004/7/22

【도 7a】

102 52562

출력 일자: 2004/7/22

【도 7b】

【도 7c】

【도 7d】

102  52562

출력 일자: 2004/7/22

【도 7e】

102 52562

출력 일자: 2004/7/22

【도 8】

102 2562

출력 일자: 2004/7/22

【도 9】

102-52562

출력 일자: 2004/7/22

【도 10】